

2009年2月13日
株式会社日立製作所

ネットワーク機器内の基板間を高速かつ低電力でデータ伝送が可能な 送受信回路技術を開発

ルータなどのネットワーク機器の消費電力を40%低減

株式会社日立製作所(執行役社長:古川 一夫/以下、日立)は、このたび、ルータなどのネットワーク機器内の基板と基板の間を高速かつ低電力でデータ伝送できる、新しい送受信回路技術を開発しました。基板間で信号を送受信する際のA/D変換回路に用いられていたIC(演算増幅器)をコンデンサ、スイッチなどの受動素子に置き換えることによって、大幅な高速化と低電力化を実現しました。本技術を用いて通信速度10ギガビット/秒(Gb/s)の受信回路を試作したところ、受信器の消費電力を従来に比べ、約40%低減できることを確認しました。この値は、今後、消費電力が急増するネットワーク機器の総電力量の約3%に相当するもので、IT機器の省電力化に向けた基盤技術として応用が期待されます。

IT社会の進展に伴い、ネットワークで伝送される情報量は、今後さらに増加することが予測されており、経済産業省の推定^{*1}によれば、IT機器の消費電力は、このまま対策を講じなければ2025年には2005年の5倍に達すると予想しています。中でもルータなどのネットワーク機器の消費電力増大が顕著で、2005年にはIT機器全体の約16%であったものが2025年には約40%を占め、その値は実に13倍に増大すると予想されています。ネットワーク機器の消費電力の約40%はASIC(Application Specific Integrated Circuit:特定用途の集積回路)が占めますが、そのうちの30%、すなわちネットワーク機器全体の12%は、基板間の信号送受信^{*2}に費やされています。これは、IT機器全体の5%を占める莫大な電力量に達します。このような観点から、日立ではネットワーク機器の低消費電力化に向けて、LSIの低消費電力化技術とともに、ネットワーク機器の基板間送受信器の低消費電力化技術を開発しています。

日立が目指したのは、送信器から受信器に送られるアナログ信号を0、1のデジタル信号に変換するCDR(Clock & Data Recovery)^{*3}と呼ばれる回路です。10Gb/s級の高速伝送を正しく行うためには、受信信号をいったんアナログ値のまま処理した後で、AD変換でデジタル信号に変換するという方法が有効です。しかしながら、一般的に利用されている演算増幅器(オペアンプ)を用いたAD変換器では、原理的に高速特性が出せず消費電力が大きいため、CDR回路への適用は困難でした。

このような背景のもと、日立は、二つのコンデンサと二つのスイッチで構成する新しいA/D変換回路技術(電荷再配分型デルタシグマ変調器)^{*4}を考案し、従来の演算増幅器を不要にしました。また、受信回路内の基準クロックと送信回路から送られてくるアナログ信号との波形のずれを簡便に検出する回路(トラック&ホールド型線形比較器)^{*5}をあわせて開発しました。

90nm CMOS*⁶ プロセスを用いて、伝送速度 10Gbps 対応の試作チップを作成し評価したところ、CDR 回路の応答速度性能を示す「ループ帯域」を 4MHz から 20MHz へ 5 倍高速化するとともに、消費電力を 60mW から 15mW へ 1 / 4 に削減することに成功しました。

なお、本成果は、2 月 8 日から米国サンフランシスコで開催された「国際固体素子回路会議(ISSCC: 2009 IEEE International Solid-State Circuits Conference)」にて発表しました。

- *1 出展:経済産業省「情報通信機器の革新的省エネ技術への期待」(H19.10)
- *2 大型の IT 機器では、筐体内にあるバックプレーンと呼ばれる大型のプリント回路基板を介し、装置内のデータ伝送が行われています。バックプレーンのコネクタに、複数の基板を接続し、LSI が搭載された基板間でデータ伝送が行われています。
- *3 CDR(Clock & Data Recovery)とは、高速シリアル通信において、受信信号からクロック信号とデータ信号を読み出す回路です。
- *4 電荷再配分型デルタシグマ変調器とは、2 つのキャパシタ間の電荷再配分現象を用いることで高速に演算を行う回路技術。従来のオペアンプを用いた演算回路は、演算に電流を用いることから省電力化が困難であったのに対し、電荷再配分型デルタシグマ変換器は演算に電荷を用いるために定常的に電流を流す必要がなくなり、消費電力の大幅削減化可能になる。
- *5 トラック & ホールド型線形比較器とは、アナログ信号の波形が、あらかじめ設定したしきい値を横切るタイミングで内部クロック信号の波形を参照し、そのときの電圧信号値を読み出す回路。従来の、クロック信号とのずれを時間的に平均化して読み出す方式にくらべ、処理時間を大幅に削減することが可能。
- *6 CMOS(Complementary Metal Oxide Semiconductor)とは、シリコンをベースとした半導体素子構造の一種で、電荷の運搬を自由電子によって行う nMOS(negative MOS)と正孔によって行う pMOS(positive MOS)を組み合わせたもの。

照会先

株式会社日立製作所 中央研究所 企画室 [担当:木下、工藤]
〒185-8601 東京都国分寺市東恋ヶ窪一丁目 280 番地
電話:042-327-7777(直通)

以上

このニュースリリース記載の情報(製品価格、製品仕様、サービスの内容、発売日、お問い合わせ先、URL 等)は、発表日現在の情報です。予告なしに変更され、検索日と情報が異なる可能性もありますので、あらかじめご了承ください。
