

IT機器に用いられるLSIの消費電力を約50%削減可能とする
低電圧動作のSRAM回路技術を開発
試作LSIの動作電圧を1.0Vから0.7Vに低減

株式会社日立製作所(執行役社長:古川 一夫/以下、日立)は、ネットワーク機器やサーバなどのIT機器に用いられるLSI(高集積回路)の消費電力を約50%低減できる、SRAM(Static Random Access Memory)の低電圧化技術を開発しました。

SRAMは、LSIのメモリ機能を担うオンチップメモリとして利用されていますが、回路の微細化が進展するとともに素子特性のばらつきが大きくなるため、必要な動作電圧のマージン(安全を見込んだ増分)が増加し、LSIの省電力化の障壁となっていました。今回、動作電圧のマージンの最小化に向けて、新たなSRAMの動作解析手法を開発したことで、低動作電圧のSRAM回路を実現し、LSI全体の消費電力を約50%低減できることを確認しました。本成果は、環境に負荷を抑えた将来のIT機器を開発する上で、高性能化と省電力化の両立を可能とする基本技術といえます。なお、本研究は、文部科学省科学技術試験研究委託事業による委託業務「低電力高速デバイス・回路技術・論理方式の研究開発」にて、実施されたものです。

近年、環境への配慮からさまざまな機器の省電力化の要求が高まる中、ネットワーク機器やサーバなどのIT機器は、2025年には国内の20%以上の電力を消費すると予測されており、その省電力化が今後の大きな課題となっています。中でも、IT機器の心臓部に用いられるLSIの消費電力が、IT機器全体に占める割合は大きく、また、LSIは今後の高性能化、微細化・高集積化の進展とともに消費電力の増大が懸念されており、LSIの省電力技術の開発が将来的に求められています。LSIの省電力化の鍵となるのが、LSIのメモリ機能を担うオンチップメモリとして利用されているSRAMです。SRAMは、微細化が数十nm(ナノメートル)に達すると、避けることができない物理的な原因で素子の特性が大きくばらつくため、LSI内のすべてのSRAMが動作できるようにするためには、LSIの動作電圧にマージンを持たせる必要があります。SRAMの微細化が進展するとともに必要な動作電圧のマージンが増加するため、LSIの動作電圧を下げられなくなることが、省電力化の大きな障壁になっていました。今後、さらなるIT機器の省電力化を進めるためには、SRAMを低電圧で動作させる技術を開発し、LSI全体の省電力化を実現する必要があります。

そこで、日立では、余分な動作電圧のマージンを解消し、SRAMおよびLSI全体の低電圧化を可能とする適正な電圧マージン決定技術、ならびにSRAMの動作電圧を低減できる回路技術を開発しました。開発したSRAMの低電圧化技術の概要は、以下の通りです。

(1)動的なSRAM動作解析技術による適正な動作電圧マージンの決定

LSIの動作電圧は、SRAMの動作解析をベースに決定されますが、これまで固定の動作電圧に対するSRAMの動作状況のみで動作電圧マージンを決定する“静的”な解析手法が用いられていたため、実動作時の特性との乖離によってSRAMの動作電圧に余分なマージンが生じていました。そこで、時間経過に伴い動作電圧が変化する、実動作時と同様の条件で、SRAMの動作を調べる“動的”な解析技術を開発し、動作電圧のマージンを適正化して、低電圧のSRAMの設計を可能にしました。

(2)低電圧 SRAM 向け回路技術の開発

(1)の SRAM 動作解析技術で実現した低電圧 SRAM について、さらなる低電圧化を実現するため、二つの回路技術を開発しました。一つは、SRAM 動作中に生じるデータ破壊現象を低減し、読み出し特性を向上させるための「短ビット線 SRAM 技術^{*1}」、もう一つは、SRAM 内のメモリセル動作の安定性を向上させて低電圧での動作を可能にする「列単位基板制御 SRAM 技術^{*2}」です。両回路技術は、(1)の SRAM 動作解析技術により、SRAM の動作における低電圧化の障壁を明らかにすることによって開発指針を得て開発したもので、SRAM のさらなる低電圧化が可能となりました。

今回、開発技術の効果を確認するために、90nm プロセスを用いて、1M ビットの SRAM 回路を試作し、LSI の動作電圧を 1.0V から 0.7V に低減することができました。この結果は、電力効率が約 2 倍向上することを表しており、LSI の消費電力を約 50% 低減できることを確認しました。本成果は、IT 機器の省電力化を高性能化と両立して実現させるための基本技術といえます。

なお、本成果は、2008 年 9 月 15 日から英国・エジンバラ市で開催されている半導体集積回路に関する国際会議「欧州固体素子回路会議(ESSCIRC: European Solid-State Circuits Conference)」にて発表します。

*1 短ビット線 SRAM 技術：従来は 1 本のビット線に 256 以上のメモリセルを付加した構造がとられていましたが、1 本のビット線に付加するメモリセルの数を制限することで、読み出し時の安定性を向上させることを発見しました。本技術は、従来高速化技術としては用いられていますが、低電圧化にも効果があることが分かりました。今回、1 ビット線に付加するメモリセルを 16 に抑えることで、低電圧化を実現しました。

*2 列単位基板制御 SRAM 技術：SRAM のメモリセル動作の安定性は、書き込み・読み出しの際に、トランジスタの基板電位を各動作に最適な値で制御することによって実現されます。書き込み・読み出しの動作は、メモリセルに対して、アレイ状に並べられたメモリセルに対して、同時に列ごとで行われるため、動作に合わせてトランジスタの基板電位を制御する技術が求められていました。今回、列単位基板制御 SRAM 技術の開発によって、メモリセルの動作の安定性を向上させ、低電圧での動作を可能としました。

照会先

株式会社日立製作所 中央研究所 企画室 [担当:木下]
〒185-8601 東京都国分寺市東恋ヶ窪一丁目280番地
電話 042-327-7777(直通)

以上

このニュースリリース記載の情報(製品価格、製品仕様、サービスの内容、発売日、お問い合わせ先、URL 等)は、発表日現在の情報です。予告なしに変更され、検索日と情報が異なる可能性もありますので、あらかじめご了承ください。
