

サーバ装置内の大容量・高速通信を省電力で実現する 総通信速度 168Gb/s の送受信回路技術を開発 低雑音設計により、従来比 20%の省電力化を実現

株式会社日立製作所(執行役社長:古川一夫/以下、日立)は、このたび通信速度 8 ギガビット/秒 (Gb/s)のデータ送受信回路を 21 レーン搭載した総通信速度 168Gb/s の送受信回路技術の開発に成功しました。本技術は、大容量化、高速化が要求されるデータ通信において、ボトルネックとなっているサーバ装置内の通信性能を向上させると同時に、サーバやストレージ、通信機器などに適用することで、大幅な省電力化を実現するものです。日立は既に、通信速度 5Gb/s のデータ送受信回路を情報・通信装置用 LSI に採用し、製品化しています。本技術を適用することにより、現在実用化されている LSI と比較して、消費電力を 20%低減できます(*1)。今回、次世代のターゲットである 8Gb/s 通信において、大容量化や高速化に伴う消費電力増大などの課題を解決し、1~2年後の実用化をめざします。

(*1)現在実用化されている日立の情報・通信装置用 LSI と比較して 20%消費電力低減を実現。

近年、コンピュータネットワーク通信における、データの大容量化、通信の高速化が、より一層求められています。ネットワーク上のデータ処理において、データ通信を支えるサーバ装置の装置内通信性能が、ボトルネックとなっています。サーバ装置内のデータ通信は、装置の筐体内にあるバックプレーンと呼ばれるスロット、コネクタが付けられたプリント回路基板を介して行われ、バックプレーンのコネクタに複数の基板を接続し、離れた基板に信号を送ります。このとき、信号が伝送される距離は 20~80cm ですが、この伝送距離が長くなるほど、バックプレーン上を流れるデータ信号波形の歪みが大きくなり、正しい信号が送れなくなります。この問題を解決するため、情報・通信装置メーカー各社において、歪んだ信号を正しく直すための信号処理技術の開発が盛んに行われています。

信号処理技術にはさまざまな方法が考え出されています。信号波形の歪みを予測して、逆方向に歪ませた波形を送出する技術や、信号波形の歪みにより弱まった信号を強調して受信する技術などの波形等化技術が効果的で、よく行われています。また、5Gb/s を超える高速なデータ通信では、さらに優れた波形等化技術として判定帰還型等化技術(以下、DFE(*2))などの信号処理技術が使われるようになっていわれています。しかし、一方で回路の複雑化による規模の増大、消費電力の増加や、DFE はエラーが一度発生すると後のデータへ次々とエラーを伝搬してしまうため、エラー訂正用の新たな論理回路が必要などのデメリットを抱えています。

(*2)DFE: Decision Feedback Equalization

今回、日立は、バックプレーン上の通信速度を DFE などの複雑な信号処理技術を使わずに、8Gb/s まで向上させました。また、低雑音設計技術により、テストチップ上に、通信速度 8Gb/s のデータ送受信回路を 21 レーン搭載することに成功しました。本回路を情報・通信装置用 LSI に採用することにより、装置内通信の高性能化、省電力化に寄与します。

今回、新たに開発した送受信回路技術の特長は、以下の通りです。

(1)低雑音設計

クロック生成回路と受信クロック抽出回路の最適化設計により、クロック信号のタイミングの変動を抑制しています。さらに、回路が動作するときに発生する電源のゆれを十分に抑圧すると共に、電源のゆれによる回路の遅延時間の変動を小さく抑える技術を適用しています。これらの最適化設計により、信号に含まれる雑音を低減し、DFE などの複雑な信号処理技術を使用することなく、長距離間の高速通信を可能にします。

(2)省電力設計

DFE などの複雑な信号処理技術を使用せず、エラー訂正用の論理回路が不要なため、論理回路の規模が抑えられ、消費電力を低減できます。160mW/レーンの省電力設計により、多数のレーンを搭載した場合でも、低消費電力の LSI を実現できます。また、DFE やエラー訂正用の論理回路を使用することで起こるデータ通信遅延をなくすることができます。

(3)高信頼性および柔軟性

低雑音、省電力設計のため、多数のレーンを高密度に搭載しても、通信性能を損なわず、バックプレーン上の通信誤り率を従来の 1000 分の 1 以下に低減しています。また、多数レーン搭載を可能にしたことで、コンピュータのデータ処理に使われる並列データを効率よく伝送できます。さらに、特殊な信号処理を用いていないため、装置仕様や方式に応じたさまざまなニーズに柔軟に対応することが可能です。

なお、本技術は、主要IT製品の消費電力削減を進める日立の技術・製品開発計画Harmonious Green プラン^(*)に沿って開発されました。また、日立は本開発の技術的詳細を2008年6月18日から米国・ホノルル市で開催された半導体集積回路に関する国際会議「2008 Symposium on VLSI Circuits」にて発表しました。

(*)：主要 IT 製品の消費電力削減のための各種技術開発や省電力対応製品の提供を進めるプラン。本プランに沿った製品開発により、2008 年からの 5 年間で累計約 33 万トンの CO2 削減をめざす。

取扱事業部・照会先

株式会社日立製作所 情報・通信グループ マイクロデバイス事業部 企画部 [担当:小島]

〒198-8512 東京都青梅市新町六丁目16番地の3

お問い合わせ用ホームページ

<https://www3.hitachi.co.jp/inquiry/it/mdd/jp/form.jsp>

以上

このニュースリリース記載の情報(製品価格、製品仕様、サービスの内容、発売日、お問い合わせ先、URL 等)は、発表日現在の情報です。予告なしに変更され、検索日と情報が異なる可能性もありますので、あらかじめご了承ください。
