

2008年2月4日
学校法人早稲田大学
株式会社日立製作所
株式会社ルネサス テクノロジ

情報家電向けマルチコア LSI の低消費電力化技術を開発

- 自動並列化コンパイラとの協調による 8 個の CPU コアの独立電源遮断と同期技術 -

学校法人早稲田大学(総長:白井 克彦ノ以下、早稲田大学)と株式会社日立製作所(執行役社長:古川 一夫ノ以下、日立)、株式会社ルネサス テクノロジ(会長&CEO:伊藤 達ノ以下、ルネサス テクノロジ)は、このたび、複数の中央演算処理装置(CPU)コアを搭載したマルチコア型システム LSI(以下、マルチコア LSI)の低消費電力化技術、ならびにプログラムの処理の高速化が可能な、複数 CPU コアの同期技術を開発しました。

今回開発した低消費電力化技術は、複数 CPU コアのうち、目標の処理時間を達成するために動作させる必要のない CPU コアの供給電源を独立して遮断したり、ゆっくり動作させても問題ない CPU コアを動作周波数を下げて動作させるものです。本技術は、従来のハードウェアあるいは OS(Operating System)による電力制御方式に比較し、コンパイラ^(*)と協調して1つのプログラムの中で各 CPU コアの電源を遮断するなどきめ細かな制御を行うため、微細化と共に問題となっているリーク電力の低減も図ることができるなど、一層の低消費電力化が可能です。今回試作したチップ上で、オーディオ圧縮用の AAC(Advanced Audio Coding)エンコードプログラムを 8 コアで曲長と同じ時間内に圧縮を終了するという条件下でリアルタイム実行した場合に、早稲田大学が開発したマルチコア用コンパイラによる電力制御機構を利用することにより、86%の電力削減が可能となることを確認しました。

また、今回あわせて開発した複数 CPU コア同期技術は、全 CPU コアあるいは複数の CPU コアが、タイミング調整が必要なプログラム部分の処理を完了したことをハードウェアで高速に検出する新たなバリア同期技術です。これにより、各 CPU コアは実行タイミングを合わせることができ、プログラムの次の処理を開始するまでの待ち時間を低減できます。繰り返しバリア同期を行うプログラムにて評価を行い、ソフトウェアでこの機能を実現する場合に比べ 18 倍の高速化を実現できることを確認しました。

なお、今回開発したマルチコア LSI 技術は、並列処理プログラムを自動作成するコンパイラ(以下、自動並列化コンパイラ)の最適化を効果的に高めるよう設計しており、AAC エンコーダの自動並列化では、1 プロセッサに比べ 5.8 倍の高速化を確認しました。この処理性能に関しては、コンパイラの高高度化により、今後さらなる速度向上が期待できます。また、従来の手動並列化では数週間単位の時間が必要でしたが、コンパイラの利用により数分単位にまで短縮できたことから、

マルチコア用ソフトウェアの開発期間を大幅に短縮できると期待しています。

なお、本開発は、独立行政法人新エネルギー・産業技術総合開発機構が、2005年度から実施中である、半導体アプリケーションチッププロジェクトの中の「リアルタイム情報家電用マルチコア技術の研究開発」(プロジェクトリーダー:早稲田大学 笠原博徳教授)により、実施したものです。

本技術開発の背景

近年、カーナビゲーション機器やデジタルTV、DVDレコーダー、家庭用ゲーム機、携帯電話などの情報家電は、ブロードバンド・ネットワークへの接続をはじめ、音声・画像など多様なマルチメディア処理機能の搭載、さらには一般家庭への普及に伴う低消費電力化、高性能化、安全性の向上など、上記製品の中核技術となるプロセッサへの要求は急速に高まっています。高性能化・低消費電力化に対応する新技術として、1チップに複数のCPUコアを集積し、それらを並列に動作させることによって高い性能を低消費電力で実現するマルチコア技術が注目を集めており、高性能なパソコン、サーバ、スーパーコンピュータ向けのプロセッサで採用されています。そして、今後、情報家電向けの低消費電力プロセッサにおいても適用が拡大していくことが見込まれます。さらに、情報家電においては、高性能化・低消費電力化に加え、短期間でのソフトウェア開発が重要な要素となります。

今回開発した技術は、コンパイラとハードウェアの協調により、1アプリケーションプログラムの低消費電力制御を含めた自動並列化を実現したもので、今後、マルチコア技術を広く利用していくための重要な低消費電力、高性能、短ソフトウェア開発期間を実現する革新的な技術と期待できます。

開発したLSI技術の特長

試作チップは、1チップに、最新のSuperHTM(*)マイコンのコアを8個集積しています。クロック周波数は、最大600MHz(メガヘルツ)で動作し、処理性能は、最大8640MIPS(million instructions per second)(Dhrystone 2.1時)を実現します。消費電力は600MHz動作時に約2.8Wで、単位電力あたりの性能は3000MIPS/W以上を実現しています。

開発した技術の特長は以下のとおりです。

1. 8個のCPUコアとメモリの電源独立遮断技術

試作チップは、8個のCPUコアとともに、各CPUコアにプログラムおよびデータの一時格納用RAM(Random Access Memory)を搭載しています。今回、CPUコアとRAMに供給する電源を、CPUごと、RAMごととそれぞれ独立にした回路構成にし、CPUやRAMが動作不要の時は、個別に電源供給を停止できる構造としました。これにより、微細化時の問題となるリーク電流による無駄な消費電流を削減することができます。また、各CPUコア毎に動作周波数を変えると共に、全CPUコア同時に電圧も制御することが可能です。

各CPUとRAMの電源遮断および周波数・電圧の制御は、早稲田大学が開発した自動並列化コンパイラにより行われます。自動並列化コンパイラは1つのアプリケーションプログラム

を自動並列化し、リアルタイム情報家電用マルチコアプロジェクトで策定されたマルチコア用 API (Application Programming Interface) を用いて電力制御を行う並列 C プログラムを生成します。この並列プログラムは各 CPU に効率的な並列動作を行うよう処理を割り当てますが、その際に、所望の処理時間を満足しつつ低電力化するように、各 CPU の状態を制御する電力制御プログラムを自動生成します。

2. 複数 CPU コアの高速同期技術

マルチコア LSI では、各 CPU で処理が並行して行われますが、処理の終了は同時ではありません。プログラム全体の処理の流れでは、例えば、ある CPU での処理が完了しても、他の CPU の処理が終わっていないければ、次の処理を開始できない場合があります。このため、各 CPU が処理を行っているか、もしくは終了しているかの状態を判断することが必要であり、これまでの 1 つの方法としては、専用のメモリ領域を設け、プログラムでこのメモリ領域の状況を確認して判断する方式がありました。しかし、この方式はソフトウェアによる実行のため時間を要します。

今回、この課題に対し、複数の CPU 間で高速に同期を取ることができる新たな同期機構を考案しました。この機構は、システム内の全 CPU コアの実行タイミングを合わせたり(バリア同期)、部分 CPU コア間の実行タイミングを合わせたりする(部分バリア同期)ことができるハードウェア機構です。さらにこのハードウェア機構は、自動並列化コンパイラとの協調により、次世代の並列化技術である階層型粗粒度タスク並列化^(*)を効果的にサポートすることができます。これにより、本マルチコア利用者は、従来の人手による並列化及びチューニングという難しい作業の負担が軽減され、短期間でマルチコア用並列アプリケーションプログラムの開発が可能となります。

なお、本技術は 2008 年 2 月 3 日から米国サンフランシスコで開催されている「国際固体素子回路会議 (ISSCC : International Solid-State Circuits Conference)」にて、2 月 4 日(現地時間)に発表します。

注釈

- *1 : コンパイラ : C 言語などのソースプログラムを、CPU を実際に動作させるための機械語等に変換する翻訳ソフトウェア。今回早稲田大学が開発した OSCAR コンパイラでは、機械語の生成だけでなく、策定したマルチコア用 API を用いて C 言語および Fortran 言語等の高級言語ベースで並列化したプログラムを生成することもできます。これにより並列プログラムのポータビリティを高め、さらなるチューニングを行いたい時も簡単にいけるようになります。
- *2 : SuperH は、株式会社ルネサス テクノロジーの商標です。
- *3 : 階層型粗粒度タスク並列化 : プログラム中のネスト構造 (階層構造) に応じて、各階層で粗粒度タスクを生成して階層的に並列処理をする方法で、各階層のプログラム並列性を考慮して必要な数のプロセッサコアを割り当てて、並列処理を行う方式。各階層のプロセッサコア間でバリア同期を高速にとることが必要となる。

照会先

株式会社ルネサス テクノロジ CSR 統括部 広報・宣伝部[担当：佐藤]

〒100-0004 東京都千代田区大手町二丁目 6 番 2 号(日本ビル)

TEL 03-6756-5554 (ダイヤルイン)

株式会社日立製作所 中央研究所 企画室[担当：木下]

〒185-8601 東京都国分寺市東恋ヶ窪一丁目 280 番地

TEL 042-327-7777(ダイヤルイン)

学校法人早稲田大学 理工学術院 基幹理工学部 情報理工学科[担当：笠原]

〒169-8555 東京都新宿区大久保三丁目 4 番 1 号

TEL 03-5286-3371(ダイヤルイン)

以上

このニュースリリース記載の情報(製品価格、製品仕様、サービスの内容、発売日、お問い合わせ先、URL 等)は、発表日現在の情報です。予告なしに変更され、検索日と情報が異なる可能性もありますので、あらかじめご了承ください。
