

3次元構造のSRAMセルを試作 - メモリセル面積を従来比3分の1に削減 -

株式会社日立製作所(執行役社長:庄山悦彦、以下日立)は、株式会社ルネサス テクノロジ(会長&CEO:長澤紘一、以下ルネサス テクノロジ)と共同で、3次元構造のSRAM(Static Random Access Memory)セルを開発し、その動作の確認に成功しました。3次元構造のSRAMセルは4つのトランジスタのうちの一つが、通常のトランジスタ上に、縦型ポリシリコン MOS トランジスタを積み上げた構造となっています。この立体構造の採用で、メモリセル面積を従来に比べ3分の1に削減することができました。SRAMの高集積化の限界を突破する45nmプロセス以降の基本構造として期待されます。

SRAMは、データ保持のためのリフレッシュ動作が不要であり、低消費電力性能に優れたメモリとして、システムLSIのオンチップメモリや携帯電話のワークメモリとして幅広く使われています。しかし、今後、高集積化の要請により素子の微細化が進み、45nmプロセス世代以降になると、待機時電流を抑制しつつ安定動作をする限界に近付くと予想されています。一方、携帯電話をはじめとする携帯情報機器では、高機能化に伴い搭載されるメモリ容量が世代毎に倍増しており、SRAMの高集積化への要求は、今後も高まっていくことが予想されます。

このような背景から、今回、日立はルネサス テクノロジと共同で、45nmプロセス世代以降の、小型・高集積のSRAMメモリ実現に向けた、3次元構造のSRAMセルの開発に成功しました。

3次元構造のSRAMセルの詳細は次の通りです。

(1)円柱状の縦型ポリシリコン MOS トランジスタ:シリコン基板に積み上げた円柱状のポリシリコン MOS トランジスタを開発しました。このトランジスタは、円柱の上部と下部にソースとドレインを、側面の周りにゲートを設けたサラウンドゲート構造になっています。側面がチャンネルとなって縦方向に電流が流れるのが特徴で、 $20\mu\text{A}$ と従来のポリシリコントランジスタに比べ、大きなオン電流を実現しました。

(2)4トランジスタ構成のSRAMセル:縦型トランジスタと通常のトランジスタを2個ずつ用い、4個のトランジスタで構成される3次元構造のSRAMセルを開発しました。縦型トランジスタは通常トランジスタの上層に形成されるため、セル面積はトランジスタ2個分となり、従来のSRAMに比べて大幅に低減することが可能です。

(3)2電源ワード線駆動方式:ワード線の駆動電圧を讀出し用と書き込み用で別にする方式を開発しました。これにより、読み出し時の電流によってメモリセル内部のデータが反転することを抑制し、安定な讀出し・書き込み動作を実現しました。

(4)電界緩和待機方式:待機時にメモリセルに印加する電圧を最適化することにより、リーク電流を抑制し、従来のSRAMセルと同程度の 88.7 fA の待機電流を実現する技術です。

これらの回路技術を用い、130ナノメートルのCMOSプロセスでメモリセルを試作したところ、読み出し・書き込み動作を問題なく行えることを確認でき、原理動作を実証しました。また、試作したメモリセルの面積は $0.78\mu\text{m}^2$ で、従来のSRAMに比べ3分の1のサイズとなることがわかりました。

本技術は、45nmプロセス世代以降の小型、高集積、低コストのSRAMの実現に道を拓く技術であり、将来、携帯情報機器の一層の進展を支える技術として、期待されます。

なお本内容は、6月17日から米国ハワイで開催される「VLSI 回路シンポジウム(Symposium on VLSI Circuits)」で発表されました。

照会先

株式会社 日立製作所 中央研究所 企画室（担当：内田、木下）
〒185-8601 東京都国分寺市東恋ヶ窪一丁目280番地
電話（042）327-7777（ダイヤルイン）

以上

このニュースリリース記載の情報(製品価格、製品仕様、サービスの内容、発売日、お問い合わせ先、URL 等)は、発表日現在の情報です。予告なしに変更され、検索日と情報が異なる可能性もありますので、あらかじめご了承ください。
