

世界最小待機時電流 25 μ A/Mbit のオンチップ SRAM 回路の開発に成功 低速動作時のリーク電流も約 10 分の 1 に低減

株式会社日立製作所(執行役社長: 庄山悦彦、以下日立)は、株式会社ルネサス テクノロジ(会長 & CEO: 長澤紘一、以下ルネサス テクノロジ) SuperH, Inc. (CEO: ジーン・マリ・ローランド) と共同で、携帯電話に使われるシステム LSI のオンチップメモリ用 SRAM(Static Random Access Memory) において、世界最小の待機時電流 25 μ A/Mbit を達成するとともに、低速動作時に従来比 10 分の 1 のリーク電流を実現する新概念の SRAM 回路技術を開発しました。本技術は、携帯電話での地上波デジタル放送の長時間観賞など、高性能処理と低消費電力を同時に求められるアプリケーションにおける、システム LSI の大幅な消費電力削減を実現する技術です。

携帯電話上でマルチメディア処理を担うシステム LSI には、ゲーム機能やテレビ電話機能など、大規模なデータを高速に処理する“高性能化”と、携帯電話の電池寿命を延ばすための“低消費電力化”が要求されています。従来、システム LSI の高性能化は、LSI を構成する素子の微細化によって実現されてきましたが、微細化が進むにつれ、回路が動作していない間も流れるリーク電流により、消費電力が増大するという問題が顕在化してきました。これを改善するために、動作していない回路部品では、電源を部分的に遮断しリーク電流を流れないようにする“電源遮断制御”が注目されています。しかし、システム LSI のオンチップメモリ(内蔵メモリ)に用いられる SRAM(オンチップ SRAM)では、従来のキャッシュメモリ^{*1}用途に加え、CPU からのアクセスがない待機時にもデータを保持する必要があるメモリ(URAM^{*2})が搭載されているため“電源遮断制御”が使えません。このため、電源遮断によらないリーク電流の低減技術の開発が必要とされています。

このような背景から、日立、ルネサス テクノロジ、SuperH, Inc. は、オンチップ SRAM のリーク電流を大幅に低減する新概念の SRAM 回路技術を開発しました。技術の詳細は次の通りです。

(1) 待機時リーク電流を低減する“ソース線電位制御方式”

動作温度やメモリセルの性能に応じ、印加電圧を自己制御する“ソース線電位制御方式”を開発し、安定動作とリーク電流低減の両立を実現しました。従来から、ソース線に電圧を印加するとリーク電流低減の効果が大きくなることは知られていましたが、メモリセル動作の安定性が損なわれるという欠点がありました。今回、通常 0V が印加されている SRAM 回路のソース線に電圧を印加することで、待機時リーク電流を低減しました。

(2) 低速動作時のリーク電流低減技術

SRAM の低速動作時は、リーク電流が消費電力の大きな割合を占めます。そこで、低速動作時専用の低リーク動作モードを新たに設定し、アクセスのないメモリセルを待機時とみなして上記(1)技術を適用することで、リーク電流を大幅に抑制します。

今回、本回路技術を用いて、0.13 μ m ルールの CMOS 技術による 1Mbit のオンチップメモリを試作した結果、(1)の技術によって待機状態の消費電力が世界最小値の 25 μ A/Mbit を達成しました。また低リーク動作モードのリーク電流は、(2)の技術によって、高速動作状態の 1/10 に抑えられることを実証しました。本回路技術は、システム LSI の低電力化の核となる基本回路技術です。

なお本技術は、2 月 15 日から米国サンフランシスコで開催された「国際固体素子回路会議(ISSCC: 2004 IEEE International Solid-State Circuits Conference)」にて発表しています。

注釈：

- (1) キャッシュメモリ：CPU 内部にもうけられた高速メモリで、使用頻度の高いデータを保持しておくことによって全体の性能向上に寄与する。
- (2) URAM：UserRAM の略。WorkRAM と呼ばれ、ユーザが使用するデータを保持する。

■ 本件に関する照会先

株式会社 日立製作所 中央研究所 企画室 [担当：内田、木下]

〒185-8601 東京都国分寺市東恋ヶ窪一丁目 280 番地

電話 042-327-7777(ダイヤルイン)

このニュースリリースに掲載されている情報は、発表日現在の情報です。
発表日以降に変更される場合もありますので、あらかじめご了承ください。
