

次世代デジタル家電用システム LSI に向けた世界最高性能のプロセッサコアを開発 - 浮動小数点性能 2.8G FLOPS、3 次元グラフィックス処理性能 36M Polygon/s を達成 -

株式会社日立製作所（執行役社長：庄山 悦彦、以下日立） 株式会社ルネサス テクノロジ（会長&CEO：長澤 紘一、以下ルネサス テクノロジ）ならびに SuperH, Inc.（CEO：ジーン・マリ・ローランド）の 3 社は、世界最高処理性能の 2.8 GFLOPS^{*1}と 36M Polygons/s^{*2}を実現した、次世代デジタル家電製品用システム LSI 向けプロセッサコア^{*3}を開発しました。今回開発したプロセッサコアは、従来、高速処理対応と低消費電力対応の 2 系統に分かれていたプロセッサコアの基本部分を統合することで実現したものであり、同時に、設計期間も従来に比べ 3~4 割短縮化できることを確認しました。今後、さらなる普及が期待されるデジタル家電機器の高機能化を支えるシステム LSI の中核技術として期待がかかります。

携帯電話やデジタルカメラ、カーナビゲーションシステムなど、デジタル家電製品のここ数年における機能の大幅な改善は、その心臓部となる、システム LSI の高性能化や低消費電力化、低コスト化によって実現されてきました。今後のさらなる高機能化のため、システム LSI にはさらなる高性能・低電力・低コスト化に加え、今後一層短くなることが予想される製品ライフサイクルに対応した、開発期間のさらなる短縮化が求められています。

また、デジタル家電の場合、システム LSI に要求される性能や消費電力には製品ごとに幅があり、設計者はそれらの個々の要求に対応した LSI 開発を行う必要がありました。これまでは、演算性能に優れたプロセッサコアと低消費電力性に優れたプロセッサコアの 2 系統を用意し、要求仕様に応じそれらのプロセッサコアを使い分けながらシステム LSI を開発してきましたが、一層の開発期間の短縮化と高性能化が求められる中、それらの要望に応えながら様々な製品向けのシステム LSI を短期間で開発できるプロセッサコア技術の開発が必要となっていました。

このような背景から、日立中央研究所とルネサス テクノロジならびに SuperH, Inc. は共同で、従来個別に開発を進めていた 2 系統のプロセッサコアを、それぞれの長所を生かしながら基本部分を統合し、システム LSI の高性能化と広範な製品仕様にも短期間で対応可能なプロセッサコア技術を開発しました。

技術の詳細は次の通りです。

（１）広範な性能、電力仕様にも柔軟に対応可能な統合プロセッサコア

統合プロセッサコアは、一つのマスターデザインから、機能や動作周波数、電源電圧などをオプションで選択することで、従来の 2 系統のプロセッサコア以上に広範な性能、電力仕様への対応が可能となり、システム LSI への展開がさらに容易になります。様々な要求仕様に対応する設計の柔軟性を高めると同時に、設計期間も大幅に短縮することが可能です。

（２）スーパーパイプライン^{*4}およびスーパースカラ方式^{*5}による高速演算処理性能

従来の、高速演算性能に優れたプロセッサコアで採用していた、2 命令同時発行のスーパースカラ方式に加え、7 段を基本とするスーパーパイプラインを採用し、高速演算処理を実現しました。特に、スーパーパイプライン化で問題となる MHz 当りの性能の劣化を、遅延実行^{*6}、早期分岐^{*7}、分岐予測^{*8}等のレイテンシ隠蔽技術によって克服しています。

（３）GHz プロセッサ級の高性能浮動小数点ユニット（FPU）

3 次元グラフィックス処理等に活用される FPU は、その処理特性から MHz 当りの性能劣化を招き易いモジュールとされています。今回新たに、ベクトル命令^{*9}強化、高速論理回路方式の実現により、GHz 動作の高性能プロセッサと同等性能を、組込みプロセッサ上で提供しています。

今回、130 nm の CMOS プロセスを用いて試作したプロセッサコアでは、1.25V 動作時に 250mW の消費電力で 400MHz の高速動作と 1.8MIPS/MHz の方式性能を達成しました。また、浮動小数点性能では 2.8 GFLOPS のピーク性能と、34M polygons/s の 3 次元グラフィックス基本処理性能が得られ、組込みプロセッサでは世界最高の性能を達成しました。また、統合プロセッサコア技術を用いて、一つのマスターデザインから 2 系統の LSI 設計を行ったところ、設計期間を従来方式から 3~4 割低減できることを確認しました。

開発したプロセッサコア技術はシステム LSI の中核技術となるもので、今後益々発展が期待されるカーナビゲーションシステムや携帯電話などのデジタル家電製品をより魅力的で快適な機器にするものと期待されます。

尚、本成果は、2 月 15 日から米国サンフランシスコで開催される「国際固体素子回路会議 (ISSCC : 2004 IEEE International Solid-State Circuits Conference)」にて発表致します。

■用語

- *1) 1 秒間に 28 億回の浮動小数点演算を実行する性能
- *2) 1 秒間に 3,600 万ポリゴンの 3 次元グラフィクス基本処理を実行する性能
- *3) システム LSI の部品としてモジュール化されたプロセッサ
- *4) パイプライン段数を多くして動作周波数を向上させる方式
- *5) 2 命令以上を同時に発行することにより MHz 当りの性能を向上させる方式
- *6) 演算開始やデータストアをパイプラインの後段にずらすレイテンシ隠蔽技術
- *7) 先行命令を追い越して早期に分岐命令を発行するレイテンシ隠蔽技術
- *8) 分岐方向を予測して方向確定前に分岐命令を発行するレイテンシ隠蔽技術
- *9) ベクトル内積、行列ベクトル積、平方根逆数を通常命令の 4~7 倍高速に計算する命令

■照会先

株式会社 日立製作所 中央研究所 企画室 [担当：内田、木下]
〒185-8601 東京都国分寺市東恋ヶ窪一丁目 280 番地
電話 042-327-7777 (ダイヤルイン)

株式会社ルネサス テクノロジ 経営企画統括部 広報・宣伝部 [担当：佐藤]
〒100-6334 東京都千代田区丸の内二丁目 4 番 1 号(丸ビル)
電話 03-6250-5554 (ダイヤルイン)
Web サイト URL : <http://www.renesas.com/jpn/>

このニュースリリースに掲載されている情報は、発表日現在の情報です。
発表日以降に変更される場合もありますので、あらかじめご了承ください。
