

次世代携帯電話用システム LSI 向け低電力化技術を開発

- 高性能システム LSI の動作消費電流削減と、
待機時電流を抑えつつ高速復帰可能なスタンバイを実現 -

株式会社ルネサス テクノロジ(会長&CEO:長澤 紘一、以下ルネサス テクノロジ)、株式会社日立製作所(執行役社長:庄山 悦彦、以下日立) SuperH, Inc.(CEO:ジーン・マリ・ローランド)の3社は、このたび、携帯電話用などのシステム LSI に有効な、高性能 CPU コアの動作時の消費電力削減技術、並びに待機時電流を抑え、かつ待機状態から動作状態へ高速に復帰可能なスタンバイ技術を開発しました。

本技術を次世代携帯電話用システム LSI に適用し、試作した結果、CPU コアの単位電力当たりの性能は 4500 MIPS/W を実現し、またスタンバイ時の待機時電流を 100 μ A 以下に抑えつつ、3 ミリ秒(max.)の短時間で動作状態へ復帰できることを確認しました。

近年、プロセスの微細化が進むにつれ LSI の集積度は向上し、論理規模は増大しています。特に、システムの大半の機能を 1 チップで実現するシステム LSI では大規模論理化が著しく、高速、高性能化とともに消費電力の増大が顕著な問題となります。

一方、携帯電話市場においては、ゲームやカメラ撮影画像表示などのアプリケーションが拡大し、今後の主流と予想される第三世代携帯電話では、さらに高度で多様なアプリケーションの拡大が見込まれます。このため、携帯電話用のシステム LSI に対しては、さらなる高性能化が求められていますが、一般的に、動作周波数の高速化による性能向上は、動作消費電力も増大してしまいます。また、電池寿命を延ばすためには、スタンバイ時の消費電力を小さくすることも重要な課題です。この課題の解決策の 1 つとして、チップ内の各モジュール(機能ブロック)について、動作しないモジュールは電源を遮断する等により、待機時電流を低減する方法が用いられています。しかし、従来の技術では、チップの外部で電源を遮断する必要があり、また、電源遮断したモジュールでは情報が全て失われてしまうため、スタンバイ状態から動作状態への復帰に時間がかかります。このため、スタンバイ状態への設定が制限されてしまう問題がありました。

このような背景から、ルネサス テクノロジ、日立、SuperH, Inc.は、今回、高性能 CPU コアの動作周波数を高速化し、処理能力を大幅に向上させつつも動作消費電力を低減する技術、および待機時電流を抑えつつ、高速な動作状態への復帰を可能にするスタンバイ技術を開発し、その効果を確認しました。技術の詳細は以下の通りです。

(1) スーパースカラ方式(注 1)CPU コアの動作電流低減技術

CPU コアの命令処理アーキテクチャの 1 つとして、多段のパイプライン(注 2)を用意し、処理を細かく分割して並列に実行する方式があります。性能を向上するため、パイプラインの段数を増やすことで動作周波数を高速化できますが、その一方で動作時の消費電力が増大してしまいます。今回、7 段のパイプラインをもつ CPU コアについて、動作消費電流の増加を抑止できる、ポイント制御パイプライン技術および命令用キャッシュメモリの活性化率低減技術を開発しました。

ポインタ制御パイプライン技術

従来型のパイプライン方式では、パイプラインの各段を接続するフリップフロップ回路 (FF) は、1 サイクルに 1 度の動作、1 命令が完了するまでの間に複数回動作し、データを更新します。これに対し、今回開発したポインタ制御パイプラインでは、FF は 1 命令につき常に一度しか動作しない方式を考案しました。FF の更新動作を最小限の回数とすることで、従来型のパイプライン方式に比較し、約 25% の電力低減を実現しました。

命令用キャッシュメモリ (注 3、IC: Instruction cache) の活性化率低減技術

パイプラインの段数を増やすと、一般的に分岐命令の性能が低下します。これを避けるためには、命令の先読みを行い、予め分岐先の命令を取得しておくことが有効です。しかし命令を先読みすることは投機的なものであり、命令用キャッシュメモリのアクセスを必要以上に行わなければならない、消費電流が増大する要因になります。

今回開発した技術は、命令用キャッシュメモリの活性化をきめ細かく制御する技術です。

(a) 命令用のキャッシュメモリを複数のブロックに分割。

(b) 状況に応じて、アクセスすべきブロックのみ動作させ、その他のブロックは動作させない。本制御により、動作させるキャッシュメモリ領域を必要最小限にして活性化率を低減でき、システム LSI が動作時の、キャッシュメモリのアクセスに関わる消費電流を、約 45% 低減しました。

(2) 待機時電流を抑えつつ高速に復帰可能なスタンバイ技術

待機時電流を小さく抑えながら高速復帰が可能な技術「レジュームスタンバイモード」を開発しました。本技術の内容は以下のとおりです。

チップ内の回路を複数の領域に分け、それぞれの領域に電源スイッチを内蔵。

「レジュームスタンバイ」時は、チップ内の情報を保持している SRAM と制御レジスタについてのみ電源供給を維持。その他の CPU やキャッシュメモリを含むチップの大半の領域については、電源スイッチにより電源を遮断し、待機時電流を大幅に低減。

動作状態への復帰情報が保持されている回路の電源を維持するため、待機時電流は、全回路の電源を遮断する場合に比べて大きくなるものの、高速復帰が可能な待機状態を実現できます。また、本電源スイッチの制御はチップ内部で行なっているため、従来必要であったチップ外部からの電源制御が不要です。

今回、0.13 μm の CMOS プロセスを用いて以上の技術を適用したチップを試作し、効果を検証しました。その結果、CPU コアが 200MHz 動作時 (処理性能 360MIPS) において、消費電力は 80mW であり、単位電力あたりの処理性能は 4500 MIPS/W と世界最高レベルの性能電力効率を実現しました。また、レジュームスタンバイモードでの消費電流は、最大で 100 μA 以下であり、さらに、動作時への復帰時間は 3 ミリ秒以下と高速に復帰できることも確認できました。

今回開発した技術は、携帯電話などの携帯情報機器向けのシステム LSI に有効であり、今後の低電力でありながら高性能なシステム LSI を実現できる技術として期待できるものです。

尚、本成果は、2 月 15 日から米国サンフランシスコで開催される国際固体素子回路会議「2004 IEEE International Solid-State Circuits Conference (ISSCC)」において発表する予定です。

(注 1) スーパースカラ方式：コンピュータの処理高速化を図る方法の 1 つで、1 クロックで複数の命令を同時に実行する方式。

(注 2) パイプライン：CPU は、1 つの命令処理を 命令の読み込み 命令種類の判別 演算 データの格納 などの細分化した処理を順番に行っており、通常は、1 つの命令処理が完了するまで次の命令を開始できない。パイプラインは、細分化した各処理を独立して動作

できるようにして、1つの命令処理が終らなくても、次の命令処理を開始できるようにした方式。

(注3) 命令用キャッシュメモリ：CPU内部の高速な小容量メモリで、プログラム処理の過程において、使用頻度の高い命令コードを格納するためのメモリ。このキャッシュメモリから命令コードを取り出すことで、低速な外部メモリをアクセスしなくてすむため、処理の高速化ができる。

■照会先

株式会社ルネサス テクノロジ 経営企画統括部 広報・宣伝部 [担当：佐藤]

〒100-6334 東京都千代田区丸の内二丁目4番1号(丸ビル)

電話 03(6250)5554 (ダイヤルイン)

株式会社日立製作所 中央研究所 企画室 [担当：内田、木下]

〒185-8601 東京都国分寺市東恋ヶ窪一丁目280番地

TEL 042(327)7777 (ダイヤルイン)

スーパーエイチジャパン株式会社 営業本部 [担当：中根、船橋]

〒187-0022 東京都小平市上水本町5丁目22番2号

TEL 042(359)6331 (代表)

以 上

このニュースリリースに掲載されている情報は、発表日現在の情報です。
発表日以降に変更される場合もありますので、あらかじめご了承ください。
