

SRAM の 40% の面積で 0.72V 動作を実現するシステム LSI 用メモリセルを考案 オンチップメモリセルの高集積化と低電圧化を同時に実現

日立製作所中央研究所（所長：西野壽一）は、このたび、CMOS¹⁾ 論理回路の製造プロセスにマスク一枚を追加するだけで、面積を従来の SRAM²⁾ の 40% に、動作電圧を 0.72V に低減可能な、高集積化と低電力化を同時に実現する新概念のオンチップメモリセルを考案しました。

考案したメモリセルは、銅配線上に形成した平面型のキャパシタと 2 つのトランジスタを組み合わせたもので、1V 以下で動作するシステム LSI 向けの大容量オンチップメモリセル実現に道を開くものです。

急速に発展する情報社会の中で、システム LSI は画像や音声処理を行う情報端末の心臓部として、継続的な進歩が要求されています。システム LSI のメモリ容量についても、さらなる大容量化が求められていますが、現在用いられている SRAM セルは原理的に面積が大きくなるため、将来、メモリ容量の増大の要請に応えることが困難になるという課題がありました。一方、高集積化に優位な DRAM³⁾ セルは、立体構造を持つキャパシタ形成のために製造工程が増加することや、低い電源電圧での動作が難しいという問題がありました。今後のシステム LSI に向け、1V 以下の低電圧動作が可能で、かつ、高集積化が可能なオンチップメモリセルの開発が必要とされていました。

このような背景から、当社中央研究所では、システム LSI を構成する CMOS 論理回路に対して、製造プロセスの整合性と電源電圧の整合性を同時に兼ね備えた新概念のオンチップメモリセルを考案しました。技術の特徴は次の通りです。

（１）新型メモリセル構造：2 つのトランジスタの上に銅配線を電極とする平面型キャパシタを配置した新しいメモリセル構造を提案しました。本構造により、従来の SRAM セルに比べて面積を約 40% に小型化できました。適用した平面型キャパシタは、当所で開発した MIM (Metal-Insulator-Metal) 構造のものであり、従来の約 3 倍の容量（1 平方ミクロン当たり 12fF (フェムトファラッド：フェムトは 10 のマイナス 15 乗)）を持っています。⁴⁾

（２）追加マスク数の最小化：考案したオンチップメモリセルはトランジスタとキャパシタで構成されます。トランジスタは通常の CMOS プロセスで形成し、キャパシタには、銅配線の形成で使われるダマシン（埋め込み）プロセス⁵⁾を採用しました。これによって、通常の CMOS プロセスに追加するマスクはダマシンプロセス用の一枚のみとなり、製造工程の増加を最小限にすることが可能です。

（３）低電圧動作：メモリセルの低電圧動作を実現するためには、セルから読み出される信号量の確保と、その信号を検知増幅するアンプ回路の低電圧動作が必要です。新型のメモリセルでは、2 つの読み出しトランジスタを用いることによって低い電源電圧でも十分な信号量を確保できるようにしました。さらに、メモリセルとアンプ回路間の配線を電氣的に分離して、各々に印加される電圧を独立に最適制御する方式を開発しました。これらの技術を採用して回路解析を実施した結果、0.72V という低い電源電圧での動作が可能とであることを確認しました。

本技術により、既存システム LSI の製造プロセスを用いて、1V 以下で動作する大容量のオンチップメモリを実現することが可能になります。さらに、論理回路とメモリに加えて、アナログ回路も 1 チップに集積する将来のシステム LSI においても、本技術で採用した平面型キャパシタはアナログ回路に適用することが可能です。本技術は、今後のシステム LSI の進展を加速する基本技術です。

なお、本成果は、6 月 12 日から京都で開催された集積回路に関する国際会議「2003 Symposium on VLSI

Circuits」にて発表されました。

【注釈】

(1)CMOS : Complimentary Metal Oxide Semiconductor の略。相補型金属酸化膜半導体。

(2)SRAM : Static Random Access Memory の略。記憶保持（リフレッシュ）動作が不要な随時書き込み読み出しメモリ。

(3)DRAM : Dynamic Random Access Memory

(4)キャパシタ技術 : Cu(銅)/Ta2O5 (五酸化タンタル) /Cu 構造に極薄アルミナ (Al2O3) 膜を挿入した MIM (Metal-Insulator-Metal : 金属 - 絶縁体 - 金属) 構造のキャパシタです。このキャパシタ技術の詳細は、昨年 12 月 9 日から米国サンフランシスコで開催された電子デバイスに関する国際会議「2002 International Electron Devices Meeting」にて発表されました。

(5)ダマシンプロセス : 銅配線の形成に用いられるプロセスで、Si 基板の絶縁膜に溝を形成し、そこに金属を埋め込んだ後に表面を機械的研磨で平坦加工してパターンを形成します。本発表では、これを応用し、銅配線上の絶縁膜に形成した溝に Ta2O5 (五酸化タンタル) や極薄アルミナ (Al2O3) 膜を埋め込んで容量を形成しています。

■照会先

株式会社 日立製作所 中央研究所 企画室 (担当 : 内田、木下)

〒185 - 8601 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地

電話(042)327-7777 (ダイヤルイン)

このニュースリリースに掲載されている情報は、発表日現在の情報です。
発表日以降に変更される場合もありますので、あらかじめご了承ください。
