2002 年 9 月 20 日
株式会社　日立製作所

グリッド・コンピューティング環境に適した次世代大規模シミュレーション技術を開発
－空間・時間スケールの異なる複数の科学技術計算プログラムをネットワーク上で連結可能に－

日立製作所基礎研究所(所長：長我部信行)は、計算手法の異なる複数の大規模科学計算プログラムを、ネットワークを介して連結し、同時に実行する次世代大規模シミュレーション技術を開発しました。本技術は、“固体のシミュレーション”と固体を構成する“原子・電子レベルのシミュレーション”のように、空間や時間のスケールが極端に異なる計算プログラムを、容易に連結することが可能となるものです。世界中の研究機関の最先端プログラムを自在に用いた解析を可能にする、グリッド・コンピューティング時代に向けた、大規模シミュレーションの基本技術と言えます。本技術の開発は、科学技術振興事業団(JST)の計算科学技術活用型特定研究開発推進事業と、経済産業省のリアルワールドコンピューティング(RWC)プロジェクトへの参画により行われました。

従来、世界中の研究機関では、各々が開発した計算プログラムによって、独自に最先端のシミュレーションを行っていました。しかし近年、これらをネットワーク上で連結し、より大規模で複雑なシミュレーションを行うニーズが高まってきています。また、現在、国内外で開発が進められているグリッド・コンピューティングも、異種科学計算プログラムの連結によるシミュレーションサービスの実現に大きく寄与するものと期待されています。

しかし、このような、独自に開発された種々のプログラムを連結するためには、異なるプログラム間で、データや計算結果の伝達が正確に行われる必要があります。例えば電子・原子におけるピコ（1 兆分の 1）秒単位の現象と、固体の温度変化のような秒単位の現象のように、空間や時間が極端に異なる場合にも、自在にプログラムを連結できる手法の開発が必要です。

このような背景から、日立では、JST と RWC のプロジェクトに参画し、空間・時間スケールの異なる複数の科学技術計算プログラムを簡便に連結する、次世代大規模シミュレーション技術を開発しました。開発した技術は、以下の通りです。

(1) 連結用コンポーネントの構築：プログラムを他のプログラムと連結する際に必ず必要となる共通部分を抽出し、ライブラリ化します。連結の際に、このライブラリを各プログラムに付加し、連結用のコンポーネント(ソフトウエアの構成単位)を構築します。
(2) 異なる寸法への対応：各プログラムの連結用コンポーネントで、物理量を代表する点の位置を見つけます。次に、異なる空間位置に対応するために、物理量の変換を行い、代表点でデータの受け渡しを行います。
(3) 異なる時間単位への対応：ピコ秒単位で計算される現象と、秒単位の現象を複合させる場合、前者の計算結果の統計データから、確率モデルを用いて長時間経過後の物理量を予測し、時間的なスケールの変換を行います。

本技術により、時間・空間スケールが異なる場合も簡便にプログラムを連結することができるようになり、並列計算機や LAN に繋がったワークステーションクラスタ、さらにはグリッド環境でも複合計算が可能になりました。

日立社内の研究所間を結んだ社内グリッド・コンピューティング環境を構築し、本技術を半導体 MOS デバイスの性能を解析するプログラムと、信頼性を解析するプログラムの連結に適用したところ、実際のデバイスを用いて測定した結果とほぼ一致する結果が得られ、現実の物理現象に即した高精度な解析が可能であることを確認しました。

このように本技術は、複数の大規模科学計算プログラムをネットワーク上で有機的に連結させ、先端ソフトウエアの有効活用を促進すると共に、グリッドコンピューティングの実用化に道を拓く技術として期待できます。

本技術は、9 月 4 日から神戸で開催された、「2002 International Conference on Simulation of Semiconductor Process and Device」で発表されました。

■本件に関する照会先
株式会社 日立製作所 中央研究所 企画室 [担当:内田、木下]
〒185-8601 東京都国分寺市東恋ヶ窪一丁目 280 番地
電話 042-323-1111(代表)

■報道機関問合せ先
株式会社 日立製作所 コーポレート・コミュニケーション本部 広報部 [担当:早川]
〒101-8010 東京都千代田区神田駿河台四丁目 6 番地
電話 03-3258-2056(ダイヤルイン)

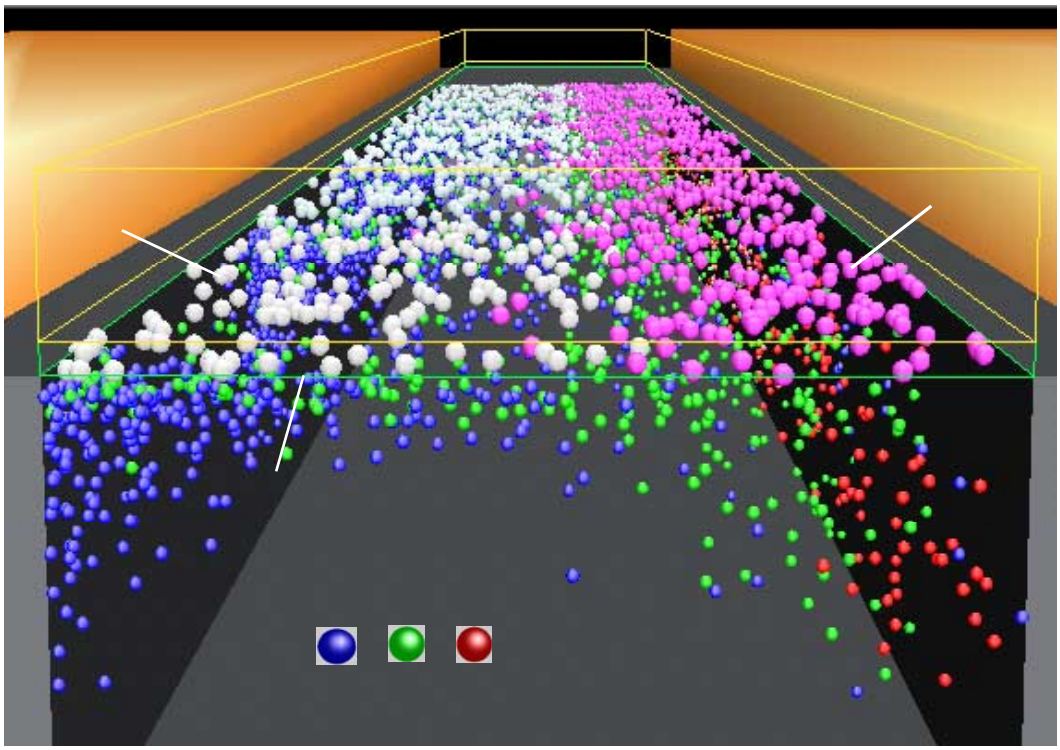
以上

■半導体シリコン MOS デバイス複合解析への適用例について（下図）

シリコンMOSデバイスにおける電子伝導の高速性と、ゲート絶縁膜材料の高信頼性を協調的に設計することを目的に、複合解析を行った結果をご紹介します。シリコン MOS デバイスでは、トランジスタのゲート長の微細化とゲート絶縁膜の薄膜化によって高速化と低消費電力化が目指されてきました。しかし、絶縁膜の薄膜化により、印加電圧で加速された高速な電子がゲート絶縁膜に衝突し、デバイス特性を劣化する問題が生じていました。

そこで、高速電子がゲート絶縁膜とシリコン基板界面の水素に衝突し、欠陥を発生させる「水素解離モデル」を考案し、電子伝導を解析するデバイスモンテカルロシミュレーションと水素解離の挙動を解析する格子モンテカルロシミュレーションを連結しました。両シミュレーション間では、連成解析用ミドルウェアを用いて、ゲート電極下の電子分布、水素原子分布や欠陥分布の物理データを相互に通信・変換し、複合解析を実行します。

電子伝導を解析するデバイスモンテカルロシミュレーションは、ピコ秒オーダの計算が行われるのに対して、水素原子が電子に散乱されて欠陥に至る格子モンテカルロシミュレーションは、秒オーダの現象です。二つの現象を複合化させる場合、前者のモンテカルロシミュレーションでは秒オーダまでの計算を行うことはできないため、ピコ秒オーダでの統計的な計算結果から、これらデータを格子モンテカルロシミュレーションへ受け渡し、秒オーダの長時間経過後の確率を予測する複合的な計算を実行しました。この結果、従来のデバイスシミュレーションでは不可能であった欠陥数 N と時間 t の間の関係（累乗則($N \propto t^n$)）を解析し、実験結果をほぼ再現する結果を得ることができました。このような複合解析の実現により、半導体で起きている現象を精度良くシミュレーションすることができ、半導体デバイスの高速・高信頼性に貢献できることを実証しました。



極微細 Si-MOS デバイスにおける欠陥発生数の経時予測

このニュースリリースに掲載されている情報は、発表日現在の情報です。
発表日以降に変更される場合もありますので、あらかじめご了承ください。