

# News Release

2018年6月15日  
株式会社日立製作所

## 実社会の複雑な問題の高速処理を実現し、問題規模に応じて スケーラブルに構成可能な世界最大規模の CMOS アニーリングマシンを開発

2018年8月よりパートナー向けにクラウドサービスを公開

株式会社日立製作所(執行役社長兼 CEO:東原 敏昭/以下、日立)は、都市における交通渋滞の解消やグローバルサプライチェーンにおける物流コスト低減などをはじめとする、実社会の複雑な問題を高速に解くために、問題規模に応じてスケーラブルに構成可能な CMOS アニーリングマシン<sup>\*1</sup>を開発しました。今回開発した CMOS アニーリングマシンは、CMOS アニーリングチップ(FPGA)を25枚接続することにより世界最大規模の102,400パラメータの問題に対応でき、従来、拡張が制限されていたアニーリングマシンの性能を、複数チップの接続技術で拡張できることを実証しました。2018年8月より、本マシンを、最適化問題を課題としているパートナー向けにクラウドサービスとして公開し、CMOS アニーリングマシンを活用したソリューション協創に取り組んでいきます。

これまで日立は、デジタル化により大規模・複雑化している社会課題の解決に向けて、膨大な計算量が必要な「組合せ最適化問題」を実用的な時間内で処理することができるコンピュータの開発に取り組んできました。具体的には、イジングモデルの動作を半導体の CMOS 回路で擬似的に再現した新型コンピュータの開発を進めています。2015年2月には、20,480パラメータに対応した専用チップの試作に成功し<sup>\*2</sup>、2016年11月にはFPGA<sup>\*3</sup>と呼ばれる集積回路を用いた試作機により、計算規模を向上する技術を開発しています<sup>\*4</sup>。しかし、社会課題が複雑化していく中で解くべき問題の規模が増加しており、従来の CMOS アニーリングマシンの規模では実社会の問題に適用するには限界がありました。このため、対応する計算機のさらなる大規模化が求められていますが、増加してゆく問題規模に応じてその都度対応するチップを設計することは開発期間やコストの面から困難であるため、スケーラブルに大規模化できることが求められていました。

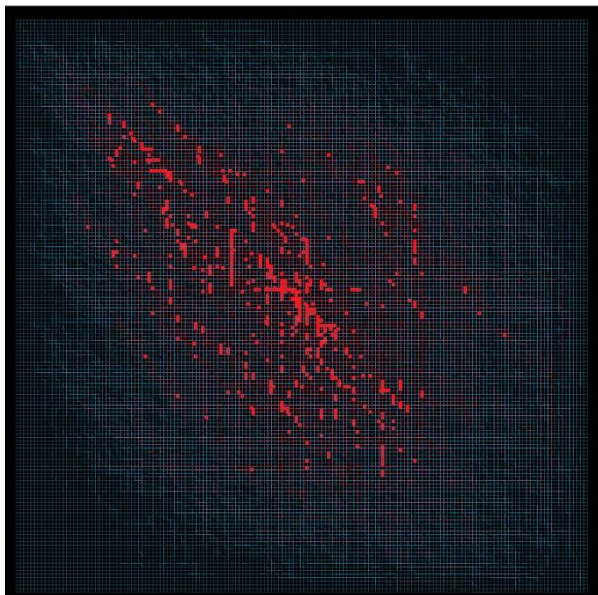
そこで日立は CMOS アニーリングチップ同士を相互に接続し、解くべき問題規模に応じてスケーラブルに構成可能な CMOS アニーリングマシンを開発しました。チップ間の接続を実現するには、高速に変化するパラメータの値を隣接チップに送受信する必要があるため、特に多数のチップを接続する際に通信量が急増しないことが求められます。一方、各チップにおいてはチップ境界部分にあたるパラメータのみを送受信する局所的な通信で十分なことに着目し、隣接するチップ同士でパラメータの値を絶えず送受信させる部分結合型を適用することで、全体として一体の大規模なコンピュータとして動作させました。この構成では、全結合型と比べて接続枚数が増えた場合でも1チップあたりの通信量は増加しないため、省電力かつ低コストでスケーラブルに大規模化することが可能です。今回、チップ25枚を接続した CMOS アニーリングマシンを用いて、都市における交通渋滞の軽減に向けた最短経路探索と並行して、混雑位置を避けるための車両の経路制御のシミュレーションを行ったところ、従来<sup>\*5</sup>の25倍の面積に相当する約5km四方のエリアにおいて1台あたりの最短経

路探索を数ミリ秒\*6 の速度で処理可能であることを確認しました。

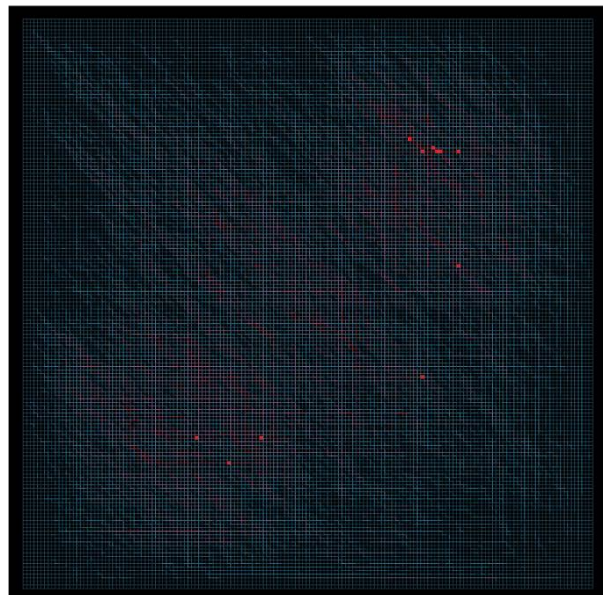
今後、スケーラブルに大規模化可能なメリットを活かして CMOS アニーリングマシンを実社会の課題解決に適用していきます。今回開発した CMOS アニーリングマシンを 2018 年 8 月より一般企業や大学、研究機関などのパートナー向けにクラウドサービスとして公開し、ソリューションの協創を図り、社会課題解決に向けた早期実用化をめざします。

- \*1 CMOS アニーリングマシン: 磁性体の性質を説明するために考案されたイジングモデルを用いて組合せ最適化問題を解くために日立が開発している新型コンピュータ。
- \*2 約 1 兆の 500 乗通りの膨大なパターンから瞬時に実用に適した解を導く室温動作可能な新型半導体コンピュータを試作(2015 年 2 月 23 日) <http://www.hitachi.co.jp/New/cnews/month/2015/02/0223b.html>
- \*3 FPGA: Field Programmable Gate Array の略称。製造後に購入者や設計者が構成を設定できる集積回路。特定用途向けの集積回路と比較して、低コストで開発が可能。
- \*4 新型半導体コンピュータ向けに計算規模を 10 倍に向上する技術を開発(2016 年 11 月 22 日) <http://www.hitachi.co.jp/New/cnews/month/2016/11/1122a.html>
- \*5 FPGA を用いた当社従来試作機において交差点間隔を 30m として同様の処理を行った場合。
- \*6 1 ミリ秒=1/1000 秒

最適化前



最適化後



約 5km 四方のエリアにおける都市交通最適化シミュレーションの実行例

- ・縦横 160 本ずつの道路からなる道路網で 2000 台の車が交差点の端から端までランダムに移動
- ・移動経路の最適化により、混雑箇所を示す赤い点が減少

■照会先

株式会社日立製作所 研究開発グループ

問い合わせフォーム:<https://www8.hitachi.co.jp/inquiry/hqrd/rd/jp/form.jsp>

以上

---

このニュースリリース記載の情報(製品価格、製品仕様、サービスの内容、発売日、お問い合わせ先、URL 等)は、発表日現在の情報です。予告なしに変更され、検索日と情報が異なる可能性もありますので、あらかじめご了承ください。

---