

2011年12月2日
株式会社日立製作所
国立大学法人神戸大学

半導体メモリエラーの産業機器や自動車制御への影響を解析する クラウド型の評価・検証シミュレーション技術を開発

600 計算機ノードの並列処理で 67 万ケースのシミュレーションを約 12 時間で実行

株式会社日立製作所(執行役社長:中西 宏明/以下、日立)と国立大学法人神戸大学(学長:福田 秀樹/以下、神戸大学)は、このたび、産業機器、自動車やロボットなどに搭載される電子制御ユニット(Electronic Control Unit/以下、ECU)内の半導体メモリでのエラーの発生による、組み込みソフトウェア(以下、組み込みソフト)からエンジンやモーターなどのハードウェアまでの影響を、すべてコンピュータ上で検証できるクラウド型の評価・検証シミュレーション技術を開発しました。本技術を ECU の開発に用いることにより、半導体メモリエラーが組み込みソフトおよびエンジンやモーターなどのハードウェアへ及ぼす影響を短時間で検証できるようになり、メモリエラーによるシステム全体のダウンなどのリスクを低減させ、機能安全(*)を考慮した効率的な制御装置の開発を実現します。

今回、開発した技術は、日立のバーチャル HILS (Hardware-in-the-Loop Simulation) (**)と神戸大学のメモリデバイスシミュレーション技術を統合したシミュレーション技術であり、双方の技術を統合するために、環境温度、動作電圧や製造のバラつきなどの様々なメモリエラーケースを生成し、そのパラメータをバーチャル HILS に注入する「フォールト・ケース・ジェネレータ技術」と、膨大なエラーケースをクラウド内の多数の計算機ノードに自動的に割り振り、並列実行するクラウド型の並列計算技術を新たに開発しました。今回、600 計算機ノードを用いて、1メガビット SRAM が搭載された ECU において 10 ミリ秒周期で動作する組み込みソフトの評価・検証を行った結果、67 万エラーケース(半導体メモリチップ 6,000 個程度に相当)のシミュレーションを約 12 時間で実行できる見通しを得ました。

なお、本技術は、科学技術振興機構 戦略的創造研究推進事業(CREST)の研究領域「ディペンダブル VLSI システムの基盤技術(研究統括:浅井彰二郎)」の研究課題「超高信頼性 VLSI システムのためのディペンダブルメモリ(***)技術(研究代表:吉本雅彦、神戸大学大学院 教授)」の研究において、その検証技術として開発されたものです。本技術を神戸大学が開発したディペンダブルメモリを搭載した ECU に適用し、その信頼性を検証した結果、注入されたメモリエラーケースの発生率が低減し、システムに対する影響を軽減できるなどの効果を確認することができました。

省エネルギーや効率の向上のため、機能の高度化が進む産業機器、自動車やロボットなどでは、ECU 内の組み込みソフトの規模が増大しており、開発コストの低減や開発期間の短縮が課題となっています。また、近年、電気・電子機器やコンピュータを用いた制御装置では、安全性を高める新たな取り組みとして機能安全規格が導入されており、これらの対応も重要な課題となっています。ECU には、マイクロコンピュータをはじめとして、数多くの半導体素子が使用されています。半導体の微細加工が進むにつれて、電磁ノイズや宇宙線などの外乱や経年劣化による素子の誤動作が懸念されており、ECU の開発では、マイクロコンピュータ

の故障対策も重要な検討事項となっています。特に、コンピュータメモリには、多数の半導体素子が集積されており、どの部分でエラーが生じたか(空間情報)、組み込みソフトのどの部分を実行している最中にエラーが生じたか(時間情報)によって、制御プログラムの動きが変わってきます。この結果、ECU やその制御対象である機械装置の動作も異なってきます。安全設計をより確実なものにするには、様々なメモリエラーケースについて組み込みソフトの動作を評価することが必要ですが、実験的に検証することは困難でありました。そのため、メモリエラーの発生による、組み込みソフトウェアからエンジンやモーターなどのハードウェアまでの影響を評価・検証できるシミュレーション技術の開発が求められていました。

このような課題に対応するために、今回、神戸大学のデバイスシミュレーション技術と、日立がこれまで開発してきたバーチャル HILS を統合し、ECU の半導体メモリで発生する様々なエラーケースについて、組み込みソフトの動作にどのような影響を与えるのか、さらにその影響が ECU の制御対象である機械装置にどのように関係するのかを、すべてコンピュータ上で効率的に検証できるクラウド型の評価・検証シミュレーション技術を開発しました。

具体的な技術の内容は、以下の通りです。

1. メモリデバイスシミュレーションとバーチャル HILS をつなぐ「フォールト・ケース・ジェネレータ技術」

バーチャル HILS に構築された ECU モデルのメモリ部に、トランジスタデバイスレベルで発生する半導体メモリエラーを模擬的に注入する「フォールト・ケース・ジェネレータ技術」を開発しました。本技術では、メモリデバイスシミュレーションで得られたメモリエラーの発生に関するデータをもとに、バーチャル HILS における任意の電源ノイズ波形、動作環境温度や経年劣化などの動作検証条件に対応したエラーケースを注入することができます。これにより、多数の半導体チップに対するエラーケースを取り扱うことができるため、従来は困難だった数万単位の半導体チップに対する評価・検証が可能で

2. 膨大なエラーケースの評価検証を自動的に短時間で実行可能とするクラウド型並列計算技術

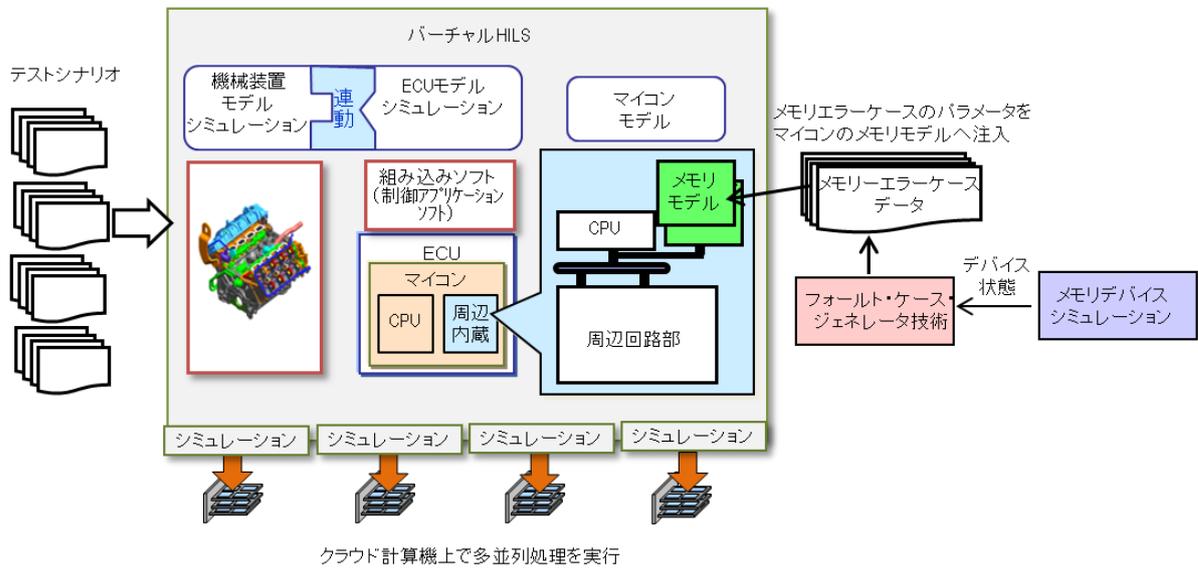
クラウドコンピューティング環境における多並列処理により、シミュレーションを実行する時間を短縮する技術を開発しました。今回開発を行った、クラウド型の評価・検証シミュレーション技術では、膨大な数のエラーケースの処理をクラウド内の多数の計算機ノードに対して分配して評価を行い、評価結果を自動処理することが可能です。これにより、短時間のシミュレーション実行時間で、膨大なエラーケースの評価を行うことが可能となります。

なお、本成果は、2011 年 12 月 3 日に東京大学内の武田ホールにて行われる「ディペンダブル VLSI システムワークショップ 2011/12」にて、詳細を発表する予定です。

*1 機能安全: 機器を構成する部品などの故障リスクなどを算出し、そのリスクを減らすような安全装置を「機能」として実装し、安全性を高めていこうとするもの。

*2 バーチャル HILS: 制御対象である機械装置のシミュレーションモデルと実機 ECU を接続し、組み込みソフトを評価検証する HILS (Hardware-in-the-Loop Simulation) 技術に対し、さらに ECU もモデル化することにより、実機のハードウェア部品を用いることなく、制御ソフトの評価検証を可能とする技術。

*3 ディペンダブルメモリ: 半導体の外部からのノイズや宇宙線に対して堅牢な特徴を持ち、従来のメモリと比較して、読み出し・書き込み・データ保持のエラー数を大幅に削減することが可能な高信頼メモリ。



クラウド型の半導体メモリエラー評価・検証シミュレーション技術の概念図

■お問い合わせ先

株式会社日立製作所 中央研究所 企画室 [担当:木下]
 〒185-8601 東京都国分寺市東恋ヶ窪 1 丁目 280 番地
 電話 042-327-7777(直通)

国立大学法人神戸大学大学院 システム情報学研究科・情報科学専攻・アーキテクチャ研究室
 [担当:吉本、川口]
 〒657-8501 神戸市灘区六甲台町 1-1
 電話 078-803-6629

以上

このニュースリリース記載の情報(製品価格、製品仕様、サービスの内容、発売日、お問い合わせ先、URL 等)は、発表日現在の情報です。予告なしに変更され、検索日と情報が異なる可能性もありますので、あらかじめご了承ください。
