

4 ギガビット AG-AND¹⁾型フラッシュメモリ用メモリセル技術を開発 -世界最小のセル面積と最速の書き込み速度を実現-

株式会社日立製作所(執行役社長:庄山悦彦、以下日立)と株式会社ルネサス テクノロジ(会長&CEO:長澤紘一、以下ルネサス テクノロジ)は、このたび、 $0.016\mu\text{m}^2$ (1ビット換算)の世界最小のメモリセル面積と、世界最速の書き込み速度 10M バイト/秒を実現した、4 ギガ(G)ビットフラッシュメモリ用メモリセル基本技術を開発しました。本技術は、「多値²⁾かつ高速」を特徴とする AG-AND(Assist Gate-AND)型フラッシュメモリセルのソース・ドレイン構造を改良したものであり、90nm プロセスを適用した場合、従来に比べメモリセル面積を約 30%に低減します。

ルネサス テクノロジは、本技術をコアとした 4G ビット AG-AND 型フラッシュメモリを 2004 年第 3 四半期に製品化予定であり、ユビキタス社会にむけた大容量かつ小型で高速な記録メディアを提供していきます。

デジタルカメラや携帯電話の画像記憶用メモリ、フロッピーディスクの置き換えとなる USB ドライブなど、大容量フラッシュメモリは、モバイルを中心とした機器のブリッジメディアとして私たちの生活に広く浸透し始めています。映画などの高画質動画データの持ち運びが可能となる次世代フラッシュメモリカードでは、一層の大容量化と、短時間でデータダウンロードをするための高速書き込み能力が求められています。

こうしたニーズに対応し、日立とルネサス テクノロジは、セル間の干渉を防ぐアシストゲート(Assist Gate、以下 AG)と、多値技術の採用などにより、セル面積の小型化と 10M バイト/秒の高速書き込みを実現した第一世代の AG-AND 型フラッシュメモリセルを 2001 年に共同開発しており、現在ルネサス テクノロジが、130nm プロセスの 1G ビット AG-AND 型フラッシュメモリを量産中です。しかし、高速性を維持しながら更なる大容量化に対応するためには、ソース・ドレインの構造を変えることで横方向の広がり³⁾を抑え、メモリセル面積を物理限界まで縮小可能とするメモリセル構造の進化が必要でした。

このような背景から、日立とルネサス テクノロジは共同で、高速書き込みと微細化を同時に実現する第二世代 AG-AND 型フラッシュメモリセルの基本技術を開発しました。新たに開発した技術の特徴は次の通りです。

(1) 大容量化を実現する新型メモリセル構造：

メモリセルトランジスタのソース・ドレインを、従来の拡散層に替えて、AG に電圧を印加した際にシリコン基板に生じる反転層⁴⁾で形成しました。反転層は AG 直下の基板極表面にのみ形成されるため、横方向の広がりがありません。これによりメモリセル面積を従来の $6F^2$ (F:最小加工寸法)から物理限界値の $4F^2$ に縮小することが可能となりました。ビット当たり面積は多値記憶技術の組み合わせにより $2F^2$ となり、90nm プロセス適用の 4G ビット品では $0.016\mu\text{m}^2$ と世界最小のメモリセルを実現し、従来の 130nm プロセスの第一世代メモリセルに比べ、約 30%のサイズに低減しました。これにより、より大容量のフラッシュカードが実現できます。

(2) 高速書き込み：

1G ビット品から採用しているホットエレクトロン注入書き込み方式⁵⁾により、低電圧で高速なメモリセル書き込みを実現しました。4G ビット品の製品化にあたっては、多値技術を採用しながらも 10M バイト/秒の最速書き込みを実現可能です。

本技術により、動画や音楽といった大容量のコンテンツデータを短時間でダウンロードし、持ち運ぶことが可能になります。これにより、従来はデジタルカメラや PC に限定されていた用途が、携帯端末やデジタル家電へ拡大し、フラッシュメモリをコアとしたシステムソリューションが展開可能となります。

なお、本成果は、2003年12月7日から米国・ワシントンD.C.で開催された電子デバイスに関する国際会議「2003 International Electron Devices Meeting (IEDM)」にて発表致しました。

用語

- (1) AG-AND 型フラッシュメモリセル: セル構造にセル間の干渉を防ぐアシストゲートと、フローティングゲートを交互に組合せたフィールドアイソレーション方式を採用した、独自のメモリセル構造。少ないチャネル電流でホットエレクトロン注入による書き込みを実現すると共に、従来の溝をつくってセルを独立させる浅溝アイソレーション方式に比べ、セル面積の小型化が実現できる。
- (2) 多値記憶技術: チップ面積の縮小に有効な大容量フラッシュメモリに適した技術で、通常のメモリでは'0'/'1'の2つの値を記憶しているのに対して、'00'/'01'/'10'/'11'等、4つ以上の値を持たせるもの。4つの値を持つ場合、1つのメモリセルで2セル分の働きをする。
- (3) ソース・ドレインの横方向の広がり: 第一世代の AG-AND 型フラッシュメモリセルでは、通常MOS(Metal-Oxide-Semiconductor)トランジスタと同様、イオン打込み法による拡散層*によりソース・ドレインを形成しているが、本拡散層は横方向に広がりを有するためメモリセルの微細化を推進する上でのネックとなる。
* 拡散層: シリコン基板内にイオンを打込み、この領域に電圧を印加して高濃度の電子を生成する。MOSトランジスタのソース・ドレインの一般的な形成方法。
- (4) 反転層: ゲートに電圧を印加した際に、シリコン基板内の極表面に生成される高濃度の電子領域。MOSトランジスタのチャンネルとして利用されている。
- (5) ホットエレクトロン注入書き込み方式: チャネル電界で加速されたエネルギーの大きな"ホット"な電子をフローティングゲートに注入する書き込み方式。メモリセルの書き込み速度は10 μ s以下で、従来のトンネル書き込み方式に比べ1桁速いという特徴がある。

照会先

・技術案件:

株式会社 日立製作所 中央研究所 企画室 [担当: 内田、木下]

〒185-8601 東京都国分寺市東恋ヶ窪一丁目 280 番地

TEL 042-327-7777(ダイヤルイン)

・製品案件:

株式会社ルネサス テクノロジ 第三事業本部 製品技術部 [担当: 仁子、山本]

〒100-0004 東京都千代田区大手町二丁目 6 番 2 号(日本ビル)

TEL 03-5201-5021(ダイヤルイン)

以上

このニュースリリースに掲載されている情報は、発表日現在の情報です。
発表日以降に変更される場合もありますので、あらかじめご了承ください。
