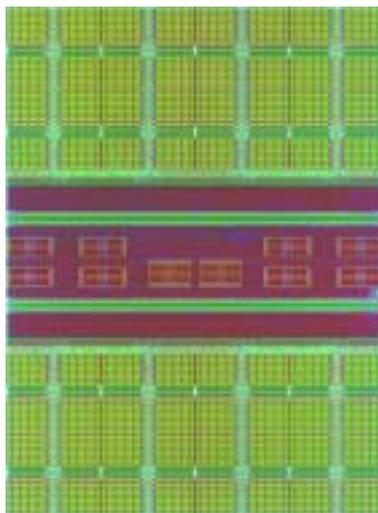


世界最高速の動作クロック周波数 750MHz と大容量 144Mbit を実現した 「キャッシュ DRAM LSI」を開発

日立製作所 情報・通信グループ(グループ長&CEO:小野功、以下 日立)は、このたび、次世代の高性能サーバ用に、世界最高速の動作クロック周波数 750MHz と 144Mbit の大容量を実現した「キャッシュ DRAM LSI」を開発しました。本 LSI 開発技術は、高速 SRAM に取って代わりキャッシュメモリの大容量化を行うことで、今後の IT 社会の基盤となる次世代サーバの高性能化に道を拓くものです。



動作クロック周波数 750MHz と大容量 144Mbit を実現した「キャッシュ DRAM LSI」

キャッシュメモリは、年々急速に高速化するマイクロプロセッサと大容量化するメインメモリの間に位置する高速メモリであり、使用頻度の高いデータを蓄積し、低速なメインメモリへのアクセスを減らすことで、計算機性能を向上するための LSI です。従来のキャッシュメモリは高速 SRAM によって構成していましたが、集積度が低いために十分なキャッシュメモリ容量を確保することが課題となっていました。

このたび当社は高速大容量キャッシュメモリを実現するため、高性能 CMOS 論理回路と大容量 DRAM を同一チップ上に混載する技術を開発し、高速 SRAM に匹敵する動作周波数と汎用 DRAM 相当の容量を持った「キャッシュ DRAM LSI」を開発しました。

本 LSI の特長は以下の通りです。

「キャッシュ DRAM LSI」の特長

1. 高速性と大容量を両立

ゲート長 0.18 μm の DRAM 混載プロセスを使用し、世界最高速の 750MHz の動作クロック周波数と 144Mbit の大容量を実現しました。DRAM 部は、周辺回路の高速化によりランダムアクセスタイム 8.0ns、シーケンシャルアクセスタイム 5.3ns と高速 SRAM に匹敵するアクセス性能を達成しました。内部のピーク転送速度は 48GB/s に至り、ハイエンドプロセッサの性能に見合うキャッシュ性能を実現しました。

2. 新開発のオンチップテストエンジンにより、多ピン高速大容量メモリのテストを実現

最先端の微細加工技術を使用する半導体では、必ず製造した LSI に製造上の不良を持った LSI が混在するため、良品のみを選別する LSI テスト技術が重要になります。従来の LSI テストでは、LSI 外部のテスト上のパターン発生回路から LSI に入力信号を与え、LSI の出力信号をテスト上の判定回路で期待値と比較することで、LSI が設計通りの動作をするか試験を行っていました。しかし、この方式では、LSI が多ピン化・高速化・大容量化するにともない、テスト性能、テストパターンの規模、あるいはテスト時間の制約によりテストが困難になっていました。本製品では、LSI 上に高速テストパターン発生回路と判定回路を内蔵し、自己テストを実施させることで、この問題を解決しました。さらに、内蔵テストパターン発生回路には、高速大容量メモリのテストに必要な複雑で長大なテストパターンを効率的に発生する機能が要求されますが、2 種類のマイクロプログラム(テストシーケンスを記述するための「マイクロコード」、及びテストパターンのタイミングを制御する「ナノコード」)による制御方式を用いることで、コンパクトに実現しました。本技術で、LSI テストに要求されるテストの性能とピン数が削減され、従来困難であった多ピン高速大容量メモリのテストが、既存のテストの上で実現可能となりました。

なお、日立は本成果を 2 月 9 日から米国サンフランシスコで開催する半導体回路に関する国際会議「2003 International Solid-State Circuits Conference」において発表しました。

取扱事業部・照会先

株式会社 日立製作所 情報・通信グループ デバイス開発センタ 企画室 [担当:小島]
〒198 - 8512 東京都青梅市新町六丁目16番地の3
電話 0428 - 33 - 2011(ダイヤルイン)

報道関係問合せ先

株式会社 日立製作所 情報事業統括本部 経営企画本部
経営企画部 広報グループ [担当:平野]
〒101 - 8010 東京都千代田区神田駿河台四丁目6番地
電話 03 - 5295 - 1682(ダイヤルイン)

以 上

このニュースリリースに掲載されている情報は、発表日現在の情報です。
発表日以降に変更される場合もありますので、あらかじめご了承ください。
