

2003年2月10日
株式会社日立製作所

大規模集積回路の高速性能と低消費電力を両立する二電源方式回路技術を開発

- ウェル共有型回路とドミノ型レベル変換回路技術などにより実現 -

日立製作所 半導体グループ(グループ長&CEO 伊藤 達)は、このたび、SoC(system-on-a-chip)などの大規模集積回路(LSI : Large Scale Integrated Circuit)において、高速性能と低消費電力化を両立するのに有効な回路技術を開発しました。本技術を用いてマイクロプロセッサのCPUコアの主要回路である算術論理演算回路(ALU : Arithmetic Logical Unit)を試作した結果、単一電源方式に比較して、動作周波数をわずか2.8%の低下に抑えつつ、約25%の消費電力低減を確認しました。

本技術は、日立製作所と米国カリフォルニア大学バークレー校との共同開発によるものであり、本成果は、2月9日から米国サンフランシスコで開催される「国際固体素子回路会議 (ISSCC : International Solid-State Circuits Conference)」において共同で発表する予定です。

近年、IT機器の中核を担うLSIの消費電力は、高性能化や高機能化に伴って増加する傾向にあり、低消費電力化の技術は、今後益々高集積化が進むLSIの開発において重要な課題となっています。低消費電力化を図る効果的な方法として、LSIの動作電圧の低電圧化がありますが、単に低電圧化を行なうだけでは、動作周波数の低下をもたらします。この問題に対応する技術として、高速性が要求される回路には比較的高い電圧、それ以外の回路には低い電圧を印加する、いわゆる二電源回路方式が提案されてきました。しかしながら、従来の二電源回路方式は、高い電圧を使用する回路と低い電圧を使用する回路の配置や配線方法が複雑になり、また低い電圧から高い電圧への電圧レベル変換回路による信号の遅延時間増加などの問題があります。

このような背景から、当社及びカリフォルニア大学バークレー校は、LSIの高速化と低消費電力化を両立させる回路技術について共同研究を行ない、二電源回路方式の実用化に向けた基礎技術を開発し、その効果を確認しました。今回開発した技術は、以下の通りです。

- (1) 高い電圧と低い電圧を使用する各回路について、Siウェハ上の回路基板を共有できる構造のウェル共有型回路方式を開発しました。これにより、従来、複雑な回路配置や配線設計により困難であった二電源方式が、単一電源方式の場合とほぼ同等の手順で設計可能となります。更に、本技術により、特別な制御を行なわなくとも待機時の漏れ電流を低減することを確認しました。
- (2) 低電圧回路から高電圧回路への信号入力部に、ドミノ型のレベル変換回路を開発しました。本回路は、電圧レベル変換回路と論理回路の機能を統合したもので、信号のレベル変換に伴う遅延時間増加を抑制することが可能となります。
- (3) CPUコア内部のALUはプロセッサの主要回路であり、特に高速性が求められます。ALUの中心となる加算器について、二電源回路方式の利点を活かす低消費電力の加算器を考案し、動作速度を犠牲にすることなく、消費電力を低減することが可能であることを確認しました。

今回、0.18 μ mのCMOSプロセスを用いて64ビットALUを試作し、以上の技術の効果を検証しました。その結果、二電源を同じ電圧にして単一電源に相当した場合の最大動作周波数1.16GHzでの消費電力に比較し、異なる電圧による二電源動作では、動作周波数をわずか2.8%低下した

時に約 25%、8.3%低下時で約 33%の消費電力が低減することを確認しました。さらに、待機時の漏れ電流は、単一電源方式に比べ約 42%低減されることも併せて確認しており、LSI 動作時の消費電力だけでなく、スタンバイ時などの待機電力の低減にも有効であることを示します。

今回開発した技術は、今後、LSI の性能向上を図りつつ、低消費電力の LSI を実現する基本回路技術として期待できるものです。

照会先 および 報道関係問い合わせ先

株式会社 日立製作所 半導体グループ 経営企画本部 法務・広報部 [担当：佐藤]

〒100 - 0004 東京都千代田区大手町二丁目 6 番 2 号(日本ビル)

電話 03(5201)5250 (ダイヤルイン)

半導体グループ Web サイト： <http://www.hitachisemiconductor.com/jp>

以上

このニュースリリースに掲載されている情報は、発表日現在の情報です。
発表日以降に変更される場合もありますので、あらかじめご了承ください。
