

## 毎秒40ギガビットクラスでは世界初めて SiGe HBTと0.18 $\mu$ m CMOSを混載した超高速通信用LSI技術を確立

日立製作所 中央研究所(所長:西野 壽一)、およびデバイス開発センタ(センタ長:梅沢 正春)は、このたび、毎秒40ギガビットクラスでは世界で初めて、SiGe HBT(シリコン・ゲルマニウム ヘテロバイポーラトランジスタ)と0.18  $\mu$  m CMOS(相補型金属酸化膜半導体)を混載した超高速通信用LSI技術(以下、SiGeバイポーラCMOS LSI技術)を開発しました。2種類の異なるデバイスを混載する工程において課題となっていた性能劣化要因を解決することで、0.18  $\mu$  m CMOSの高機能特性を損なうことなく、SiGe HBTによる最大速度毎秒54ギガビットの動作(高速16:1多重回路動作<sup>1)</sup>)を実現しました。

SiGeバイポーラCMOS LSIは、今後の超高速通信において必須のデバイスであり、本技術は、その量産適用に道を拓くこととなります。

インターネットや携帯電話の急速な普及によって、光・無線通信システムにおける伝送データ量の大容量・高速化が進んでいます。また、これとともに通信システムで用いられる電子デバイスにおいても、大幅な高速性能の向上が求められています。

SiGe HBTは、従来から超高速電子デバイスとして開発が進められ、遮断周波数<sup>2)</sup>200ギガヘルツ以上という高いポテンシャルを持っています。しかし、これを通信用LSIに採用するためには、同時に微細高性能CMOSが有する入出力信号処理や信号同期・診断などの機能が必要です。そこで、これらの2つの特徴を有するデバイスを超高速領域で同一チップに混載するSiGeバイポーラCMOS LSI技術は、今後の超高速電子デバイスに必須な技術でした。しかし、これまで、超高速SiGe HBTを微細高性能CMOSと集積化すると、

- (1) SiGe HBTが高温プロセスで形成されるため、その熱履歴により、CMOSの特性が劣化
  - (2) SiGe結晶作製プロセスで用いる塩化水素(HCl)により、SiGe HBTの結晶品質が劣化<sup>3)</sup>
- という問題が生じ、毎秒40ギガビットクラスでは実用に至っていませんでした。

そこで、今回、これらの課題を解決するSiGeバイポーラCMOS LSI技術を開発しました。今回開発した技術の特徴は以下のとおりです。

- (1) CMOS特性劣化の抑制:0.18  $\mu$  m CMOS製造プロセスをベースとして、SiGe HBTに必要な工程を追加する新しい概念の混載プロセスを開発しました。さらに、SiGe HBTの形成に必要なCVDプロセス<sup>4)</sup>、アニールプロセス<sup>5)</sup>等の熱履歴を低減することによって、CMOS性能の劣化を抑制しました。
- (2) SiGe HBTの結晶品質劣化の抑制:SiGe HBTの結晶品質劣化の原因となるHClガスを用いないLPCVD法(減圧化学的気相成長法)を適用しました。この結果、良好な結晶性を維持したままSiGe HBTの結晶形成(選択エピタキシャル成長)を行うことが可能となりました。

本SiGeバイポーラCMOS LSI技術を用いて作成したSiGe HBTは、最大速度毎秒54ギガビットの高速16:1多重回路動作を実現しました。これは、毎秒40ギガビットクラスではじめて、SiGe HBTとCMOSの混載LSI技術の確立を示した成果です。さらに、SiGe HBTの高速性能を評価した結果、遮断周波数は145GHz、最大発振周波数<sup>6)</sup>は172GHzという高速特性が得られました。

今回、開発した毎秒40ギガビットクラスのSiGeバイポーラCMOS LSI技術は、超高速通信用電子デバイスの開発を促進する基本技術です。今後は、その量産適用を進めるとともに、基幹光伝送システムや大容量無線通信システムに加えて、セルラ端末や無線LANなどのRF機器への応用を視野に入れた、次

世代のIT技術を支える超高速・高機能デバイス技術として取り組む予定です。

なお、本成果は、9月30日から米国モンレーで開催されるバイポーラ・デバイス回路に関する国際会議「2002 Bipolar/BiCMOS Circuits and Technology Meeting」にて発表する予定です。

#### 【注釈】

- 1) 多重回路: 複数の低速入力信号に対し、一本の高速信号を出力する回路。
- 2) 遮断周波数: 素子が電流を増幅できる最高の周波数で、デジタル回路の高速動作性能を示す指標。
- 3) ここで用いられるSiGe HBTは、ボロンを添加したベース層を薄く形成することで高速化を図っています。しかし、ベース層を薄く形成すると、耐圧の低下、抵抗の増大という問題が顕在化します。この問題を克服するためには、ボロンの添加量を増加することが必要です。しかし、HClガスを用いる従来の選択エピタキシャル成長方法では、ボロンのソースであるジボランガスとHClガスが過剰に反応するため、高濃度のボロンを添加すると結晶性が劣化すると言う問題がありました。
- 4) CVDプロセス: 化学的気相成長(Cheical Vapor Deposition)プロセス。ガスの分解と反応によりSi層、Si酸化膜、Si窒化膜を堆積するプロセス技術。
- 5) アニールプロセス: 炉体もしくはランプ加熱により、Si基板に添加した不純物を活性化する熱処理プロセス。
- 6) 最大発振周波数: 素子が電力を増幅できる最高の周波数で、アナログ回路の高速動作性能を示す指標。

#### ■照会先

株式会社 日立製作所 デバイス開発センタ 企画室[担当:山崎]  
〒198-8512 東京都青梅市新町六丁目16番3号  
電話 0428(33)2011(ダイヤルイン)

株式会社 日立製作所 中央研究所 企画室[担当:内田、木下]  
〒185-8601 東京都国分寺市東恋ヶ窪一丁目280番地  
電話 042(327)7777(ダイヤルイン)

#### ■報道関係問合せ先

株式会社 日立製作所 コーポレート・コミュニケーション本部 広報部[担当:大野]  
〒101-8010 東京都千代田区神田駿河台四丁目6番地  
電話 03(3258)2057 (ダイヤルイン)

---

このニュースリリースに掲載されている情報は、発表日現在の情報です。  
発表日以降に変更される場合もありますので、あらかじめご了承ください。

---