

2002年6月11日
株式会社日立製作所

世界最高速のゲート長20ナノメートルCMOS技術を開発 —窒化膜系のゲート絶縁膜でリーク電流を一桁低減—

日立製作所(社長:庄山悦彦)は、このたび、高速・低電力アプリケーションに適した、ゲート長 20 ナノメートル(nm)の CMOS(Complementary Metal Oxide Semiconductor)デバイス技術を開発しました。ゲート長の微細化と、新たに開発した窒化膜系のゲート絶縁膜により、世界最高速のデバイス動作とともに、ゲート漏れ(リーク)電流の大幅な抑制(従来の10分の1以下)に成功しました。本成果は、今後需要が拡大するモバイル機器に適した高速・低電力 CMOS の基本技術として期待されます。

近年、急速に市場が拡大しているモバイル機器の高性能化は、その心臓部となるシステムLSIの高性能化に牽引されてきました。システムLSIの性能指標には高速性に加え、モバイル機器の電池寿命に寄与する低消費電力性が挙げられます。このような背景から、システムLSIを構成する CMOS デバイスでは、トランジスタのゲート長の微細化とゲート絶縁膜の薄膜化によって高速化と低消費電力化を実現してきました。しかし、ゲート絶縁膜の薄膜化はデバイスの高速化には寄与するものの、絶縁体としての機能が阻害されるため、ゲート漏れ電流による消費電力の増大を招きます。0.1 マイクロメートル世代以降の CMOS デバイスではこの問題が一層顕在化するため、高速性能とゲート漏れ電流の抑制を両立できる微細 CMOS デバイスの開発が必須となっていました。

このような背景から、当社中央研究所とデバイス開発センタは共同で、高速動作かつ低消費電力性に優れた微細 CMOS デバイス技術を開発しました。

新たに開発した技術の特長は次の通りです。

- (1) **ゲート長微細化と容量低減による高速動作実現:** ゲート形成時にゲートを細らせるトリミングという加工を適用し、ゲート長 20nm を実現しました。また、トランジスタを高速で動作させるには同時に電流のオン・オフを制御するゲートの容量を小さくする必要があります。そこで、ゲート領域を制約するオフセット・スペーサ構造*¹を用いて容量を低減し、高速動作を実現しました。
- (2) **ゲート漏れ電流を抑制する窒化膜系ゲート絶縁膜:** 窒化膜に酸素を導入する日立独自の成膜手法による極薄の窒化膜系のゲート絶縁膜を開発しました。この絶縁膜は、従来の絶縁膜に比べ誘電率*²が高く、漏れ電流を抑制することが可能となりました。その上、絶縁膜/シリコン基板界面を良好な状態で形成できるため、トランジスタ性能面でも高出力電流特性が得られるという特長があります。

試作した CMOS デバイスは、ゲート長が 20nm、ゲート絶縁膜厚は 1.4nm です。動作性能を測定した結果、ゲート長 20nm の CMOS デバイスでは世界最高速となる 280 フェムト秒を達成しました。また、ゲート漏れ電流は従来に比べ一桁以上低減できることがわかりました。さらに、トランジスタの出力電流は、n チャネルで約7%、pチャネルで約 20%増大することを確認しました。今回開発した窒化膜系ゲート絶縁膜は一層の薄膜化が可能であり、更なるデバイスの高性能化が期待できます。今後は、高性能モバイル機器で必要となる高速・低電力 CMOS の基本技術として完成度を高めていく予定です。

なお、本成果は、2002年6月11日から米国・ホノルルで開催される電子デバイスに関する国際会議「The 2002 Symposium on VLSI Technology」にて発表致します。

■用語

- (1) オフセット・スペーサ構造:ゲートの側面を絶縁膜で囲み、ゲート領域を制約する構造。
- (2) 誘電率:誘電率が大きい物質ほど大きな電荷を蓄えることができ、ゲート絶縁膜においてはゲート漏れ電流の抑制の効果がある。

■照会先

株式会社 日立製作所 中央研究所 企画室 [担当:内田、木下]
〒185-8601 東京都国分寺市東恋ヶ窪一丁目 280 番地
TEL 042-327-7777(ダイヤルイン)

■報道関係問合せ先

株式会社 日立製作所 コーポレート・コミュニケーション本部 広報部 [担当:佐藤]
〒101-8010 東京都千代田区神田駿河台四丁目 6 番地
TEL 03-3258-2055(ダイヤルイン)

このニュースリリースに掲載されている情報は、発表日現在の情報です。
発表日以降に変更される場合もありますので、あらかじめご了承ください。
