

0.1V 駆動の CMOS 集積回路の試作に世界ではじめて成功

-基板バイアス制御と電源電圧制御の統合により実現-

日立製作所中央研究所とマサチューセッツ工科大学は、このたび共同で、モバイル機器等に用いられるシステム LSI の超低電力回路技術を開発しました。本技術を信号処理 LSI に用いられる積和算回路に適用し、室温動作の CMOS 回路において理論限界といわれる 0.1V 駆動を、集積回路レベルでは世界で初めて実現しました。これは、日立が開発を進めてきた“基板バイアス制御技術”とマサチューセッツ工科大学が開発してきた“電源電圧制御技術”という二つの低電力化技術の統合化によって実現したものです。

モバイル機器の中核を担うシステム LSI の開発では、高性能化とともに電池寿命の観点から低消費電力動作が必須の課題となっています。システム LSI の低消費電力化には駆動電圧を低く抑えることが効果的とされてきましたが、単に駆動電圧を抑制するだけでは、その代償として LSI 性能の劣化をもたらすこととなります。このため、高性能を維持しつつ低消費電力化を実現する新たなシステム LSI の低電力化技術の開発が期待されていました。

このような背景から、これまでシステム LSI の低電力化を実現する目的で、当社中央研究所では“基板バイアス制御技術”を、またマサチューセッツ工科大学では“電源電圧制御技術”を独自に研究・開発してきました。今回、さらなる低電力化を目指して、両機関で共同研究を行った結果、理論限界に迫る超低電圧動作を実現することが可能になりました。開発した技術は、次の通りです。

- (1) 電源電圧制御と基板バイアス制御を同時に行うと、基板バイアスにかける電流の方向を順方向にすることによって、単独制御を凌ぐ低電力動作を示す条件があることを見出しました。
- (2) この知見をもとに、集積回路の動作周波数に対して消費電力が最小値となる電源電圧と基板バイアスの組合せを求め、電源電圧、基板バイアスを統合的に制御する超低電力技術を開発しました。

今回、本技術をゲート長 0.14 μm (マイクロメートル) の MOS デバイスを用いた 16 ビット積和演算器に適用し、その効果を検証しました。その結果、電源電圧制御技術単独に比べて 30%の低電力化の効果を実現しました。また、積和演算器で 0.175V、積和演算器規模のリングオシレータで 0.1V という、集積回路レベルでは世界最小となる低電圧動作を確認しました。開発した低電力化技術は、今後、システム LSI の駆動電圧を大幅に低減する基本回路技術として期待できるものです。

なお、本成果は、2月4日から米国サンフランシスコで開催される国際固体素子回路会議 (ISSCC: International Solid-State Circuits Conference) において発表する予定です。

【照会先】

株式会社 日立製作所 中央研究所 企画室 (担当: 内田、木下)

〒185-8601 東京都国分寺市東恋ヶ窪1丁目280番地

電話 042-327-7777(ダイヤルイン)

The MIT News Office

Room 11-400, 77 Massachusetts Ave., Cambridge, MA 02139-4307, USA

Tel. 617-253-2700

【報道関係問い合わせ先】

株式会社 日立製作所 コーポレート・コミュニケーション本部 広報部 (担当: 佐藤)

〒101-8010 東京都千代田区神田駿河台四丁目6番地

電話 03-3258-2055(ダイヤルイン)

Mr. Kenneth D. Campbell

Director of the MIT News Office

Room 11-400, 77 Massachusetts Ave., Cambridge, MA 02139-4307, USA

Tel. 617-253-2700

以上