

2001年12月6日
(株)日立製作所
2001-278

歪(ひずみ)シリコントランジスタの高速化技術を開発 —界面の平坦化により電子移動度を2.2倍に向上—

日立製作所中央研究所(所長:武田英次)は、このたび、次世代CMOS(Complementary Metal-Oxide-Semiconductor)への応用が期待される歪シリコン(Si)トランジスタの高速化技術を開発しました。歪Siトランジスタは、シリコン・ゲルマニウム(SiGe)上にSiを積層し、この結果生ずるSiの格子歪を利用して高い電子移動度を可能とするトランジスタです。今回、SiGe層の表面を化学機械研磨(CMP)により平坦化した結果、凹凸による性能劣化が抑制され、従来のSiトランジスタに比べ2.2倍の移動度を実現しました。本成果は、CMOSの超高速化を実現するトランジスタ技術として、歪Siトランジスタの有効性を示すものと言えます。

これまで、代表的な半導体デバイスのCMOSは、微細化を進めることで高集積化し、これによって性能向上を図るという歴史を歩んできました。しかし、この微細化による性能向上に限界が来ると言われる100nm世代以降のCMOSでは、“微細化に頼らない素子の高性能化技術”が望まれています。その候補として、近年、歪Siトランジスタが注目されています。Siに引っ張り歪を与えると、そこを流れる電子の移動度が向上することは古くから知られていました。そこで、Siより格子間隔がわずかに大きなSiGeの上にSiを積層して引っ張り歪を与えれば、移動度の向上が期待できます。この構造をチャンネル層(電子が移動する層)に採用したものが、歪Siトランジスタです。しかし、これまで、確かに移動度の向上効果は確認されているものの、歪Si本来の飛躍的な性能向上を示すトランジスタは実現されていない状況でした。

このような背景から、当所では、歪Siトランジスタの性能向上に取り組みました。この結果、SiGe層表面の平坦性が悪いと、その上に形成される歪Si層界面に凹凸を生じ、電子移動度の低下を招く現象を見出しました。

このことから、ひずみSi本来の高性能を得るために、SiGe層の表面を平坦化し、その上に歪Si層を積層させる歪Siトランジスタ技術を開発しました。技術の特徴は次の通りです。

- (1) SiGe層の平坦化工程としてCMP^{*1)}を導入し、原子レベルで平坦な表面粗さ0.4nmの表面を形成しました。
- (2) CMP工程後の平坦なSiGe層表面に、化学的気相成長法により歪Siを再成長させる技術を開発しました。
- (3) 熱による歪Si層の歪緩和や、歪Si層へのSiGe中のGeの拡散などの電子の移動度を阻害する現象を防止するため、熱処理温度を最適化し、トランジスタ形成プロセスによる性能劣化を抑制しました。

本技術を用いて、チャンネル長0.24 μ mのMOSトランジスタを作製した結果、通常のSiトランジスタに比べて、電子の移動度は+120%、正孔は+42%向上することを確認しました。また同時に、トランジスタの出力電流も、通常のSi-MOSに比べてnチャンネルで+70%、pチャンネルで+51%と大きく上昇することが確認されました。本成果は、次世代高速CMOSの候補技術として、歪Siトランジスタが有効性を示すものと言えます。

なお、本成果は、12月3日から米国ワシントンD.C.で開催される電子デバイスに関する国際会議「2001

international Electron Devices meeting」にて発表します。

<用語説明>

1) CMP:アルカリ性溶液と研磨砥粒を混合させたスラリーによって化学的かつ機械的に研磨して表面を平坦化する技術。

照会先

株式会社 日立製作所 中央研究所 企画室[担当:内田、木下]

〒185-8601 東京都国分寺市東恋ヶ窪一丁目280番地

電話 042(327)7777(ダイヤルイン)

報道関係問合せ先

株式会社 日立製作所 コーポレート・コミュニケーション本部 広報部 [担当:佐藤]

〒101-8010 東京都千代田区神田駿河台四丁目6番地

電話 03(3258)2055(ダイヤルイン)

以 上