HITACHI
Inspire the Next

NEWS RELEASE

２００１年８月３日
株式会社日立製作所

ＳＤＲＡＭの動作電力を最大で 40%低減する組込み型回路技術を開発
－わずか 0.28 平方ミリメートルの回路規模で 49%の高速化も同時に実現－

日立製作所中央研究所（所長：武田英次）は、汎用メモリに用いられるシンクロナスＤＲＡＭ（以下ＳＤＲＡＭ）の低電力化と高速化を同時に実現する回路技術「ＳＤＲＡＭモード制御技術」を開発し、その効果をシミュレーションにより確認しました。本技術を搭載したメモリコントローラは、ＳＤＲＡＭの消費電力を最大で40%、アクセス時間を49%、同時に低減することが可能です。また、組込み型回路としてわずか0.28平方ミリメートルの回路面積を実現し、既存回路に容易に設置できるため、ＩＰ（Intellectual Property）として多くのＣＰＵやＭＰＵの回路に採用されることが期待されます。

モバイル情報機器は、主に頭脳部分であるＣＰＵ、記憶部分のＤＲＡＭ、および表示デバイスなどから構成されています。このうち、ＤＲＡＭの動作による電力消費は機器全体の約10～20%を占めるため、低電力化が大きな課題となっています。また、ＤＲＡＭの動作速度はＣＰＵに比べて遅く、情報機器の性能を制限している側面もあることから高速化も要求されています。従来、ＤＲＡＭは半導体プロセスの微細化によって低電力化を進めてきましたが、高速性やデータ保持特性が劣化する恐れがあると言われており、低電力化と高速化を両立する新しい技術が求められています。

ＤＲＡＭのメモリ動作は①メモリセルからセンスアンプ(*1)へのデータ転送、②センスアンプからのデータ読み出し、③センスアンプのデータ消去 に分類できますが、動作電力の約半分は、①のメモリセルからセンスアンプへのデータ転送に費やされています。そこで①のデータ転送の回数を減らすことが効果的な低電力化を実現する点に着目し、「ＳＤＲＡＭモード制御技術」を開発しました。
本技術では、センスアンプに転送されたデータの読み出し後、データをその都度全て消去せずに、連続したデータアクセスが続くと予測した場合には、キャッシュメモリ的にデータを保持し次のアクセスの際に再利用します。これにより①のデータ転送の回数をトータルで低減し、ＳＤＲＡＭの動作電力を一気に低減します。センスアンプへのデータアクセスが連続してこない場合には、次のアクセスもこないと予測し、データを消去します。この結果、メモリセルからセンスアンプへのデータ転送回数とデータ消去回数を最小化し、ＳＤＲＡＭの低消費電力化と高速化を同時に実現します。

本技術で回路を構成し、ベンチマークプログラムによる性能評価を行った結果、ＳＤＲＡＭの消費電力を40%、アクセス時間を49%低減できることを確認しました。また、本技術を搭載したメモリコントローラ回路は、わずか0.28平方ミリメートルで実現でき、組込み型の回路ブロックとしてＣＰＵ内への追加も容易なため、ＩＰとしてＣＰＵやＭＰＵへの適用が可能になります。

なお本技術は、8月6日から米国ハンティントンビーチで開催される
「ISLPED'01 (International Symposium on Low Power Electronics and Design 2001)」で発表する予定です。

(*1)センスアンプ回路：DRAMのメモリセルのデータを増幅し、保持する回路。

＜照会先＞
株式会社 日立製作所 中央研究所 企画室［担当：内田、木下］
〒１８５-８６０１ 東京都国分寺市東恋ケ窪一丁目２８０番地
電話（０４２）３２７－７７７７（ダイヤルイン）

＜報道関係問い合わせ先＞
株式会社日立製作所 社長室 コーポレート・コミュニケーション本部 広報部［担当：佐藤］
〒１０１－８０１０　東京都千代田区神田駿河台四丁目６番地
電話０３－３２５８－２０５５（ダイヤルイン）

以 上